

#3

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : **Kazuyuki SATO, et al.**

Filed : **Concurrently herewith**

For : **ROUTING APPARATUS**

Serial No. : **Concurrently herewith**

jc654 U.S. PTO
09/767302
01/23/01

January 23, 2001

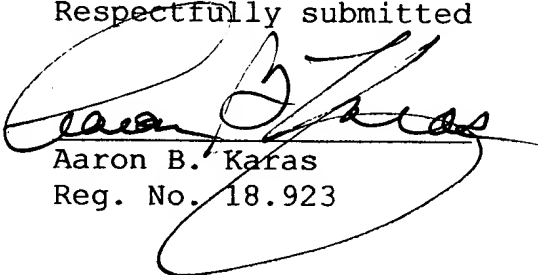
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith are Japanese patent application No.
2000-295841 of September 28, 2000 whose priority has been
claimed in the present application.

Respectfully submitted


Aaron B. Karas
Reg. No. 18.923

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUSA 18.263
BHU:priority

Filed Via Express Mail
Rec. No.: EL522394060US
On: January 23, 2001
By: Brendy Lynn Belony
Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

1c654 U.S. PTO
09/167302
01/23/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年 9月28日

出願番号

Application Number:

特願2000-295841

願人

Applicant(s):

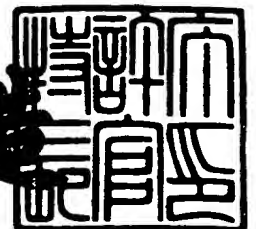
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 0051097

【提出日】 平成12年 9月28日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/56

【発明の名称】 ルーチング装置

【請求項の数】 5

【発明者】

【住所又は居所】 宮城県仙台市青葉区一番町3丁目3番5号 富士通東北
通信システム株式会社内

【氏名】 佐藤 和幸

【発明者】

【住所又は居所】 宮城県仙台市青葉区一番町3丁目3番5号 富士通東北
通信システム株式会社内

【氏名】 寺澤 卓也

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100084711

【弁理士】

【氏名又は名称】 齋藤 千幹

【電話番号】 043-271-8176

【手数料の表示】

【予納台帳番号】 015222

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特 2 0 0 0 - 2 9 5 8 4 1

【物件名】 要約書 1

【包括委任状番号】 9704946

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ルーチング装置

【特許請求の範囲】

【請求項 1】 回線より到来するパケットの宛先アドレスに応じたルーチングデータを求めて該パケットに付加し、ルーチングデータに基づいてパケットをスイッチングして所定の回線に送出するルーチング装置において、

ルーチングデータ発生部を備え、要求された宛先アドレスに応じたルーチングデータを発生して要求元に送出する主制御部、

回線より到来するパケットの宛先アドレスを抽出し、該宛先アドレスに応じたルーチングデータを通知するよう主制御部に要求し、主制御部より通知されたルーチングデータをパケットに付加して出力する回線インタフェース部、

所定の回線インタフェース部から入力する前記ルーチング要求を主制御部に送出し、主制御部からのルーチングデータを要求元の回線インタフェース部に送出し、ルーチングデータ付きパケットを該ルーチングデータに基づいてスイッチングして別の回線インタフェース部に送出するスイッチ部、

を備えたことを特徴とするルーチング装置。

【請求項 2】 前記主制御部のルーチングデータ発生部は、

ルーチングデータを記憶する連想メモリ部、

宛先アドレスをキーデータとするとき、多数の宛先アドレスに応じたキーデータを記憶するキーデータ記憶部、

前記要求された宛先アドレスに応じたキーデータがキーデータ記憶部に存在するとき、該キーデータを前記連想メモリのアドレスに変換する変換部、

連想メモリ部の該アドレスよりルーチングデータを読み出して要求元である回線インタフェース部に送出するルーチングデータ送出部、

を備えたことを特徴とする請求項 1 記載のルーチング装置。

【請求項 3】 前記主制御部は、回線速度に対応させてルーチングデータ発生部を備え、

前記回線インタフェース部は、回線より到来するパケットの宛先アドレスに応じたキーデータに回線識別子を付加して主制御部にルーチングデータを通知する

よう要求し、

主制御部は、該通知要求により回線識別子の回線速度に応じたルーチングデータ発生部よりルーチングデータを発生して要求元の回線インタフェース部に送出する、

ことを特徴とする請求項 2 記載のルーチング装置。

【請求項 4】 前記連想メモリ部とキーデータ記憶部を 1 つメモリアレイの連続領域で構成し、

メモリアレイの 1 バイトセルの総数を y 、キーデータ幅を k バイト、ルーチングデータを含む連想データ幅を r バイトとすると、登録可能なキーデータ数および連想データ数であるエントリ数 e を

$$e = y / (k + r)$$

により演算し、これら k , r , e によりキーデータおよび連想データのキーデータ領域および連想データ領域への読み／書き制御を行なう、

ことを特徴とする請求項 2 記載のルーチング装置。

【請求項 5】 前記主制御部のルーチングデータ発生部は、更に、

前記要求された宛先アドレスに応じたキーデータと同一のキーデータ、あるいは、該宛先アドレスに応じたキーデータの非マスク部分と同一のキーデータがキーデータ記憶部に複数エントリされているとき、そのエントリ数、エントリキーデータを保持する保持部、

これらエントリ数、エントリキーデータをルーチングデータ発生部の外部のプロセッサに通知する手段、

を備えたことを特徴とする請求項 2 記載のルーチング装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は Internet, ATM network 等におけるルーチング処理に際して CAM (Content Addressable Memory) を使用するルーチング装置に係わり、特に、回線より到来するパケットの宛先アドレスに応じたルーチングデータを CAM より求めてパケットに付加し、該ルーチングデータに基づいてパケットをスイッチング

して所定の回線に送出するルーチング装置に関する。

【 0 0 0 2 】

【従来の技術】

昨今のInternet/ATM networkの爆発的な普及により、ルータ(router)/ATM交換機(ATM switch)の処理速度は高速化の一途をたどっている。また、回線の高集積化によりそのルーチング/スイッチングに必要となるデータ(ルーチングデータ)を検索するためのテーブルも大容量化してきている。

ルーチングデータの検索法はCAM(Content Addressable Memory)を使用した変換処理技術により達成されている。しかし、CAMは大容量化に伴い、従来の容量のものでは多数のテーブルが必要になり、通常のLSI内部に実装することが難しくなっている。又、大容量のものは、専用のLSIとして市販されるようになっている。

【 0 0 0 3 】

図15は従来のルータの概略構成図であり、一般的なルータにおけるCAMを使用した検索方法の概要を説明するものである。1は主制御部(CPU)、2はスイッチ部、 $3_1 \sim 3_n$, $4_1 \sim 4_m$ は回線とスイッチ間に設けられた回線カードである。回線におけるデータ伝送はPOS(Packet over SONET, Packet over SDH)を使った伝送が一般的であり、このPOSではSDH, SONETのペイロード部にIPパケットをマッピングして伝送する。図示しない回線終端部はPOS回線よりIPパケットを分離して、回線カード $3_1 \sim 3_n$ に inputs する。各回線カード $3_1 \sim 3_n$ のパケットプロセッサ3aはIPパケットの宛先アドレスを抽出し、該宛先アドレスに応じたルーチングデータをCAM 3bより取得し、該ルーチングデータをパケットに付加してスイッチ2に inputs する。スイッチ2は各回線カード $3_1 \sim 3_n$ から inputs するルーチングデータ付きパケットを該ルーチングデータに基づいてスイッチングして別の回線カード $4_1 \sim 4_m$ に inputs する。回線カード $4_1 \sim 4_m$ のパケットプロセッサはルーチングデータを取り除き、しかる後、パケットをSDH, SONETフレームのペイロードにマッピングしてPOS回線に送出する。

【 0 0 0 4 】

図16はCAM 3bをCAM LSI $3b_1$ と連想メモリ $3b_2$ に分離して示す回線

カードの構成図、図 1 7 は C A M 検索の流れ図である。C A M L S I 3 b₁ のキーデータ記憶部（図示せず）は多数の宛先アドレスに応じたキーデータを記憶し、又、連想メモリ 3 b₂ はルーチングデータを記憶する。IP パケットの IP ヘッダは宛先アドレス D A (destination address=IP address) を有しているから、回線カード 3₁ ~ 3_n のパケットプロセッサ 3 a は I P パケットが入力すると（ステップ 1 0 1）、該入ってきた IP パケットより宛先アドレス D A を抽出し（ステップ 1 0 2）、該宛先アドレスをキーデータ（key data）として、予め変換テーブルを有する C A M 3 b に転送する。C A M 3 b の C A M L S I 3 b₁ はこのキーデータに対応する IP address がキーデータ記憶部に存在するかチェックし、存在すれば、該キーデータを前記連想メモリのアドレスに変換して連想メモリ 3 b₂ に送出する（ステップ 1 0 3）。R A M 構成の連想メモリ 3 b₂ は、入力したアドレスをもとにあらかじめ設定された連想データ、例えば、スイッチングに必要となるハイウェイ番号 H W - N o . (Highway No.) を出力する。パケットプロセッサ 3 a は、IP パケットを出力する直前に該ハイウェイ番号 H W _ N o . をパケットに付与してスイッチ部 2 に入力し、スイッチはハイウェイ番号 H W _ N o . によりルーチング動作を行なう（ステップ 1 0 4）。

【 0 0 0 5 】

図 1 8 は従来のルータの詳細な構成図であり、図 1 5 ~ 図 1 7 と同一部分には同一符号を付している。主制御部 1, 1' は信頼性をあげるために二重化されており、同一の構成を備えている。すなわち、主制御部 1, 1' は、①メインプロセッサ M P U 1 a, 1 a'、②メインメモリ M M 1 b, 1 b'、③キャッシュメモリ（図示せず）、④各種 I / O や C A M 等のデバイスをメインプロセッサ M P U に接続するための M P U bus 変換ブリッジ 1 c, 1 c'、⑤メインプロセッサが隣接するルータとの間で通信を行う際の出力ポート検索用 C A M 1 d, 1 d'、⑥スイッチ 2 とは別線にて各回線カード 3₁ ~ 3_n へ主制御部が作成したルーチングテーブルを転送するためのイーサネットスイッチングハブ (Ethernet Switching HUB) 1 e, 1 e'、⑦回線カードからスイッチ経由で到来する自局宛パケットをメインプロセッサ M P U に送出するための M P U bus 変換ブリッジ 1 f, 1 f' などを有している。

【 0 0 0 6 】

回線カード $3_1 \sim 3_n$ は SONET/SDH 等の各種回線を収容するもので、同一の構成を備えている。ただし、回線カードが収容する各回線の速度は同一であるが、回線速度は回線カード毎に異なっている。パケットプロセッサ 3_a は、(1) POS 回線等を介して到来するパケットの宛先アドレス DA を抽出し、該宛先アドレス DA をルーチングデータ検索用のキーデータとして CAM へ送付したり、(2) パケットにルーチングデータ (ハイウェイ番号 HW_No.) を付与してスイッチに送付したり、(3) スイッチングされたパケットよりルーチングデータを削除して回線へ送出する。CAM 3_b は CAM LSI および連想メモリを備え、キーデータとして入力される宛先アドレス DA よりルーチングデータ (ハイウェイ番号 HW_No.) を求めたり、その逆を実行する。LAN 制御部 (LANC: Lan controller) 3_c はメインプロセッサ MPU との間で通信を行なってルーチングテーブルを受信する。ローカルのプロセッサ MPU は LAN 制御部 3_c の制御、回線カード内部の各種設定 (Configuration) 制御を行う。

スイッチ 2 は回線カードと主制御部 1, $1'$ 間でのパケットの交換制御を行なうと共に、各回線カード間でのパケットの交換制御を行なう。

【 0 0 0 7 】

図 19 は従来のルータ装置のパケットの流れを示す説明図である。

1) POS 回線から入力されたデータパケットは、回線カード 3 内の入力部分でパケットに分離される。

2) パケットプロセッサ 3_a はパケットヘッダ内の IP 宛先アドレス DA に基づいて CAM 3_b からハイウェイ番号 HW-No.、その他必要な情報 α (QOS 情報、フィルタリング情報など) を検索し、パケット (payload 部分) にこれら HW-No. + α を付加してスイッチ 2 に転送する。

3) スwitch 2 はルーチングデータ HW-No. + α によりパケットをスイッチングして出側の回線カード 4 に入力する。回線カード 4 のパケットプロセッサ 4_a はスイッチより入力するパケットからルーチングデータ HW-No. + α を取り除く。

4) ついで、パケットプロセッサ 4_a は最終的にパケットを SDH, SONET フレームのペイロードにマッピングして POS 回線に送出する。以上により全てのルーチン

グ処理が完了する。

【0008】

図20はCAM LSIの概略内部構造図である。CAM LSI 3b₁は、アドレスデコーダ5a、メモリアレイ5b、インデックスレジスタ5c、マスクレジスタ5d、レスポンスレジスタ5e、プライオリティエンコーダ5fを有している。

アドレスデコーダ5aはアドレスデータをデコードし、別途入力するキーデータをメモリアレイの所定アドレスに格納し、あるいはメモリアレイよりキーデータを読み出して出力する。メモリアレイ5bは多数の宛先アドレスに応じたキーデータを格納し、インデックスレジスタ5cは検索したいキーデータ(検索キーデータ)、すなわち、POS回線から受信したパケットの宛先アドレスに応じたキーデータを格納する。マスクレジスタ5dは検索キーデータのうちマスクするビット位置を指定する("1"でマスク)。レスポンスレジスタ5eは、(1)メモリアレイ5bに記憶されているキーデータと検索キーデータとのマッチング結果(比較結果)、あるいは、(2)メモリアレイ5bに記憶されているキーデータと検索キーデータの非マスク部分とのマッチング結果を格納する。プライオリティエンコーダ5fはレスポンスレジスタ5eのマッチング結果をもとに連想メモリ3b₂のアドレスを生成する。連想メモリ3b₂は入力するアドレスより連想データ(ルーチングデータ+α)を出力する。

【0009】

尚、図20ではキーデータを8ビットとして示しているが、説明の都合によるもので実際にはキーデータは32ビット等である。又、メモリアレイ5が8個のキーデータを記憶する場合を示しているが、メモリアレイは実際には非常に多くのキーデータを記憶する容量を有している。又、CAM内部のメモリアレイ5bは、CAM検索の用途に応じてビット幅が可変設定できるようになっており、メモリアレイの構成を変更するレジスタ(図示せず)を具備するが、連想メモリ3b₂については、ハードウェア設計時に連想用アドレスと連想データのビット幅が固定される。

【0010】

【発明が解決しようとする課題】

従来のCAMを用いたルーチング装置（ルータ）では、下記の問題がある。

1) CAM LSIのハイコスト

昨今のInternetの普及により、CAMのエントリ数が増加の一途をたどっている。CAM LSI一個当りで処理できるエントリ数は、1エントリ当り36ビット必要とすると、せいぜい64k個程度である。ここで36ビットは、IP_v4(IP-version 4)における宛先アドレスとして必要な32ビットと制御ビットとしての4ビットの合計である。

【0011】

2) CAM LSIの高い実装面占有率

上記のようにCAM LSI(4×4cm程度)として15個搭載する必要があるとすると、実装面占有率が高くなる。このため、回路カードを二階建て等の複雑な構造にしなければならない。

3) ルーチングテーブルの転送時間

ルーチングテーブルを一元管理する主制御部のメインプロセッサから各回線カードへルーチングテーブルを転送する必要がある。例えば、システム立ち上げの際、各回線カード内に実装しているCAMへ主制御部のメインプロセッサからルーチングテーブルを転送する必要がある。このため、システム立ち上げに相当の時間がかかり、しかも、障害発生時のリカバリーにも時間がかかる。

【0012】

4) 連想データのビット幅変更

CAMは、CAM LSIにRAM構成の連想メモリを外付けする構成になっている。このため、キーデータがIP_v4→IP_v6(4バイト→16バイト)等へ変更になると、ハードウェアの回路構成を変更する必要が発生し、新規回線カードを設計しなおさなければならない。

5) キーデータのマルチプルヒット (Multiple hit)

従来のCAMは統計処理機能がないため、検索キーデータに複数のエントリキーデータがヒットするマルチプルヒット(Multiple hit)時に統計処理を実行できない。このため、主制御部のメインプロセッサMPUがメインメモリMM上でプログラム処理により統計情報を計算する必要がある。この統計処理はメインプロセッ

サに対し高負荷となる。

【 0 0 1 3 】

6) 回線速度とCAMの関係

従来のルータは回線カードにCAMを実装し、かつ、回線カードには同一速度の複数の回線を収容する(例えば、OC-12回線×4を搭載する)。このようにする理由は、回線カードに速度が異なる回線を収容する構成では、全ての回線カードに最高速度の高価なCAMを必要とし、コストアップになるからである。しかし、回線カード毎に同一速度の回線を収容する従来構成のルータでは、各回線速度に応じた回線カードを用意する必要があり、ネットワークによっては使用しない回線カードが発生したり、回線カードに収容する回線数が少ない場合が発生する。すなわち、従来のルーチング装置は回線カードの回線収容効率が悪く、コストアップになっている。

【 0 0 1 4 】

以上から本発明の目的は、安価で、かつ、コンパクトなルーチング装置を提供することである。

本発明の別の目的は、使用するCAMの個数を削減してルーチング装置のコストダウンと実装効率を高めることである。

本発明の別の目的は、障害が発生しても運用継続可能にしてルーチング装置の信頼性を向上することである。

本発明の別の目的は、CAM周辺の回路を設計変更しなくてもCAMにおける連想データやキーデータのビット幅を可変制御できるルーチング装置を提供することである。

本発明の別の目的は、マルチプルヒット時の処理をCAM LSI内部にて実現できるようにしてメインプロセッサの統計処理を少なくし、該メインプロセッサの負荷を軽減することである。

本発明の別の目的は、速度の異なるCAMを回線速度毎に使い分けられるようにし、かつ、回線カードに種々の回線速度の回線を収容できるようにして、ルーチング装置のコストダウンを図ることである。

本発明の別の目的は、電源投入時やリカバリー時におけるシステム立ち上げ時

間を減少できるルーチング装置を提供することである。

【0015】

【課題を解決するための手段】

本発明は、回線より到来するパケットの宛先アドレスに応じたルーチングデータを求めて該パケットに付加し、ルーチングデータに基づいてパケットをスイッチングして所定の回線に送出するルーチング装置であり、(1) ルーチングデータ発生部を備え、要求された宛先アドレスに応じたルーチングデータを発生して要求元に送出する主制御部、(2) 回線より到来するパケットの宛先アドレスを抽出し、該宛先アドレスに応じたルーチングデータを通知するよう主制御部に要求し、主制御部より通知されたルーチングデータをパケットに付加して出力する回線インタフェース部、(3) 所定の回線インタフェース部から入力する前記ルーチングデータ要求を主制御部に送出し、主制御部からのルーチングデータを要求元の回線インタフェース部に送出し、ルーチングデータ付きパケットを該ルーチングデータに基づいてスイッチングして別の回線インタフェース部に送出するスイッチ部、を備えている。

【0016】

主制御部のルーチングデータ発生部は、(1) ルーチングデータを記憶する連想メモリ部、(2) 宛先アドレスをキーデータとすると、多数の宛先アドレスに応じたキーデータを記憶するキーデータ記憶部、(3) 前記要求された宛先アドレスに応じたキーデータがキーデータ記憶部に存在するとき、該キーデータを前記連想メモリのアドレスに変換する変換部、(4) 連想メモリ部の該アドレスよりルーチングデータを読み出して要求元である回線インタフェース部に送出するルーチングデータ送出部、を有している。

本発明のルーチング装置は、従来、個々の回線カードと主制御部の両方に配置していたCAM(ルーチングデータ発生部)を主制御部側に集約してルーチングテーブルを一元管理する。これにより、システム全体で使用しているCAMの個数を削減でき、コストダウンと実装効率を向上することができる。

又、CAMを主制御部にのみ持たせるだけでよいため、システム立ち上げの際、主制御部のメインプロセッサから回線カードにルーチングテーブルを転送する

必要がなく、電源投入時やリカバリー時における立ちシステム上げ時間を減少することができる。

【0017】

本発明のルーチング装置は、主制御部に各回線速度に対応させてルーチングデータ発生部(CAM)をそれぞれ備える。主制御部は、回線インタフェース部から回線識別子付きのルーチングデータ要求があったとき、回線速度に応じたCAMからルーチングデータを求めて要求元の回線インタフェース部に送出する。このようにすれば速度の異なるCAMを回線速度毎に使い分けることが可能となり、しかも、回線カードに種々の速度の回線を収容することが可能となり、安価で低速のCAMを使用でき、しかも、回線カードの回線収容効率を向上できるためルーチング装置のコストダウンを図ることができる。

本発明のルーチング装置は、主制御部を二重化する。運用中の主制御部は配下の各CAMの記憶内容(ルーチングテーブル)を更新するとき、スタンバイ中の主制御部の各CAMのルーチングテーブルも更新し、運用中の主制御部側に障害が発生したとき、スタンバイ中の制御部は新たに運用中制御部としてルーチング制御を継続する。このようにすれば、CAMをメインプロセッサへ集約した場合の障害発生時の信頼性を向上させることができる。

【0018】

本発明のルーチング装置は、連想メモリ部とキーデータ記憶部を1つのメモリアレイで構成し、該メモリアレイの連続する2つの領域をそれぞれ連想メモリ部、キーデータ記憶部とする。メモリアレイに対するアクセス部は、メモリアレイの1バイトセルの総数を y 、キーデータ幅を k バイト、ルーチングデータを含む連想データ幅を r バイトとすると、登録可能なキーデータ数および連想データ数であるエントリ数 e を次式

$$e = y / (k + r)$$

により演算し、これら k , r , e によりキーデータおよび連想データのメモリアレイへの読み／書き制御を行なう。このようにすれば、CAM周辺の回路を設計変更しなくても、 y , k , r をプログラマブルに変更するだけで連想データやキーデータのビット幅を可変制御できる。

本発明のルーチング装置は、主制御部のルーチングデータ発生部にマルチプルヒットしたエントリ数、エントリキーデータの管理を行なわせる。このようにすれば、マルチプルヒット時の処理をCAM LSI内部にて実現でき、メインプロセッサの統計処理を少なくして負荷を軽減することができる。

【0019】

【発明の実施の形態】

(A) システム構成

図1は本発明のルーチング装置のシステム構成図であり、11、11'は信頼性をあげるために二重化された同一構成の主制御部(0系、1系の主制御部)、12はスイッチ部、13₁~13_nはSONET/SDH、Ethernet等の各種回線を収容する回線カード(回線インタフェース部)である。

主制御部11、11'は、①メインプロセッサMPU 11a, 11a'、②メインメモリMM 11b, 11b'、③システムバスに接続された各種I/OやCAM等のデバイスをメインプロセッサMPUに接続するためのMPUバス変換ブリッジ11c, 11c'、④他系のCAMとの通信を行うためのクロスコネクト部11d, 11d'、⑤回線速度対応に設けられ、回線速度によって選択可能な複数個のCAM 11e₁~11e_n, 11e₁'~11e_n'、⑥各回線カードからスイッチ経由で到来する自局宛データを取り込んでシステムバスに送出するバス変換ブリッジ11f, 11f'などを有している。各回線カードやメインプロセッサMPUからCAMへのアクセスはすべてシステムバス11g, 11g'を介して行われる。尚、11h, 11h'はMPUバスである。

【0020】

CAM 11e₁~11e_n, 11e₁'~11e_n'は、(1) ルーチングデータを記憶する連想メモリ部21、(2) 宛先アドレスをキーデータとするとき、多数の宛先アドレスに応じたキーデータを記憶するキーデータ記憶部22、(3) 各回線カードから要求された宛先アドレスDAに応じたキーデータ(検索キーデータ)がキーデータ記憶部22に存在するとき、キーデータを連想メモリのアドレスに変換するアドレス変換部23、(4) 連想メモリ21の該アドレスよりルーチングデータを読み出すメモリアクセス部24を備えている。各CAM 11e₁~11e_n, 1

$1e_1' \sim 11en'$ はブロック的に同一構成を備えているが、製造プロセスによりアクセス速度が異なり、サフィックス番号が大きくなる程、高速アクセス可能になっている。

【0021】

回線カード $13_1 \sim 13_n$ は、パケットプロセッサ $13a$ 、回線カード内部の各種設定 (Configuration) を行うマイクロプロセッサ MPU $13b$ を備えている。パケットプロセッサ $13a$ は、(1) 各回線より到来するパケットの宛先アドレス DA を抽出し、該宛先アドレス DA をルーチングデータ検索用のキーデータ (検索キーデータ) としてスイッチ 12 を介して主制御部 11 , $11'$ の CAM へ送付したり、(2) 主制御部 11 , $11'$ よりスイッチ 12 を介して取得したルーチングデータ (ハイウェイ番号 HW_No.) をパケットに付与してスイッチに送付したり、(3) スイッチングされて入力するパケットよりルーチングデータを削除して回線へ送出する機能を有している。尚、パケットプロセッサ $13a$ は、スイッチが検索キーデータであるか、パケットであるかを識別できるようにするために、検索キーデータにキーフラグを付加し、パケットにはデータフラグを付加してスイッチ 12 に送出する。

スイッチ 12 は、(1) 所定の回線カード $13_1 \sim 13_n$ から入力するキーフラグ付きの検索キーデータを主制御部 11 に送付し、(2) 主制御部 11 の CAM より求めたルーチングデータを要求元の回線カードに送付し、又、(3) データフラグ付きのパケットをルーチングデータに基づいてスイッチングして別の回線インタフェース部に送出する。

【0022】

図 1 のルーチング装置は、以下の特徴を有している。

1) CAM 実装位置

従来個々の回線カードと主制御部の両方に配置していた各 CAM を主制御部 11 側に集約し、ルーチングデータ要求、検索されたルーチングデータの送受を、パケットプロセッサ $13a$ とスイッチ 12 のパスを経由する in-band 方式により行なう。また、ルーチングテーブル (キーデータ/連想データ) を主制御部 11 の CAM で一元管理し、従来各回線カードで重複管理していたキーデータを削減

する。これにより、システム全体で使用しているCAMの個数を削減でき、コストダウンと実装効率の向上を図ることができる。又、CAMを主制御部11にのみ持たせるだけでよいため、電源投入時やリカバリー時におけるシステム立ち上げ時間を減少できる。

【0023】

2) CAM LSIの二重化構成

CAMを主制御部11へ集約した場合の障害発生時の信頼性を向上させるために主制御部を二重化し、0系/1系の主制御部11, 11'間にCAM専用のクロスコネクトバス14を設け、該クロスコネクトバスを介して両系のCAMが保持するルーティングテーブルを一致させ、運用系のCAMが障害になったときスタンバイ系のCAMにてリカバリーを可能とする。

【0024】

3) 回線速度対応CAMの導入

CAMはlatency(待ち時間)が小さい程、換言すればアクセス時間が短い程高価となる。このため、高速対応の単一品種のCAMだけを使用する構成ではコストアップになる。本発明のルーティング装置は、回線速度対応に複数個のCAM 11e₁~11e_nを主制御部11に設け、回線速度によって使用するCAMを使い分ける。これにより、CAMの数、CAMの種類を最適化して、CAM資源の有効活用を図り、ルータのコストをさげる。

【0025】

通常、回線単位でCAM検索に必要となる最低時間はパケット送信時間である。すなわち、1パケット送信中にCAM検索を終わらせる必要があり、回線速度が高速で、転送データ数が短い程その時間は厳しくなっていく。図2(A), (B)はPOS回線のCAM検索最低時間の例を示す図表であり、(A)はOC-12Cの場合、(B)はOC-192Cの場合である。

OC-12Cの1ビット当りの転送時間は1.6nsであるから、トータルの転送時間は
 $1.6 \times (\text{IPデータ変動分 } n + \text{PPP} + \text{IPヘッダ固定分})$

となり、IPデータ変動分を1~1500バイトとすると、転送時間0.36ns~19.64nsとなる。一方OC-192Cの場合には、1ビット当りの転送時間は0.1nsであるから、

トータルの転送時間は

$$0.1 \times (\text{IPデータ変動分 } n + \text{PPP+IPヘッダ固定分})$$

となり、IPデータ変動分を1～1500バイトとすると、転送時間0.02ns～1.23nsとなる。1パケット送信中にCAM検索を終わらせる必要があるため、回線速度が高速であれば高価な高速アクセス可能なCAMを使用し、回線速度が低速であれば安価な低速アクセスのCAMを用いる。

【0026】

(B) パケットプロセッサとCAM間の送受信処理

図3は回線カードが連想データ(ルーチングデータ)を取得するための、パケットプロセッサとCAM間の送受信処理フロー、図4はパケットプロセッサとCAM間の送受信データのデータフォーマット、図5はパケットプロセッサとCAM間の送受信データタイムチャートである。

回線カード13のパケットプロセッサ13aは回線から受信したIPパケットのIPヘッダより宛先アドレスDAを検索し、該宛先アドレスDAを検索キーデータ51(図4(A)参照)として抽出する(ステップ201)。ついで、パケットプロセッサ13aは、スイッチ12が検索キーデータであると認識できるようにするために該検索キーデータ51にキーフラグ52を付加すると共に、主制御部が回線速度を識別できるようにIPパケットが到来した回線の識別子(Line ID)53を付与し(ステップ202)、検索キーデータをスイッチ12に入力する(ステップ203)。

【0027】

スイッチ12は受信した転送データの先頭ビット(フラグ)を参照し(ステップ204)、先頭ビットがデータフラグであれば転送データはパケットであると判定し、ルーチングデータに基づいてパケットを所定の回線カードにスイッチングする(ステップ205)。

受信した転送データの先頭ビットがキーフラグであれば、スイッチ12は0系、1系の主制御部11、11'のいずれが運用中であるか判断し(ステップ206)、運用中の主制御部にフラグを削除して回線識別子53と検索キーデータ51を送出する。例えば、0系の主制御部11が運用中であるとすれば、スイッチ

1 2 はフラグを削除して（回線識別子+検索キーデータ）を主制御部 1 1 のバスブリッジ 1 1 f に送出する。尚、スイッチが二重化されている場合には、スイッチ 1 2 は転送元スイッチを特定するスイッチ識別子 SW ID 5 4 をキーデータに付加する。

バスブリッジ 1 1 f は、受信データに送り先（クロスコネクタ部）のバスアドレス 5 5 を付与してシステムバス 1 1 g を介してクロスコネクタ部 1 1 d へ転送する（ステップ 2 0 7）。

【 0 0 2 8 】

クロスコネクタ部 1 1 d は受信データより検索キーデータ 5 1、回線識別子 5 3 を分離し（ステップ 2 0 8）、回線識別子 5 3 から使用する CAM をデコードし、該当 CAM が存在するか判別する（ステップ 2 0 9）。すなわち、回線識別子 5 3 に基づいて回線速度を求め、該回線速度に応じた CAM を求め、該 CAM が主制御部 1 1 に実装されているかチェックする。該当 CAM が主制御部 1 1 に実装されていなければエラー処理し（ステップ 2 1 0）、実装されていれば該当 CAM をアクセス可能にイネーブルする（ステップ 2 1 1）。ついで、クロスコネクタ部 1 1 d は検索キーデータ 5 1 を該当 CAM 1 1 e に転送する（ステップ 2 1 2）。該当 CAM 1 1 e は検索キーデータ 5 1 に基づいて連想データ（ルーティングデータ）5 6 を検索し（ステップ 2 1 3）、該連想データ（Associate Data）をクロスコネクタ部 1 1 d に返す。

【 0 0 2 9 】

クロックコネクタ部 1 1 d は、連想データ 5 6 に元の回線識別子 5 3、スイッチ識別子 5 4 を付加すると共に送り先（バスブリッジ 1 1 f）のバスアドレス 5 7 を付与してシステムバス 1 1 g に送出する。バスブリッジ 1 1 f はクロスコネクタ部 1 1 d から受信したデータよりバスアドレス 5 6、スイッチ識別子 5 4 を削除し、スイッチ識別子 5 4 が示すスイッチ 1 2 に（回線識別子 5 3 + 連想データ 5 6）を入力する。スイッチ 1 2 は回線識別子 5 3 を削除し、連想データ 5 6 を所定回線カードの packets プロセッサ 1 3 a に入力する（ステップ 2 1 4）。

以上はステップ 2 0 6 において、0 系の主制御部 1 1 が運用中であるとした場合である。しかし、1 系の主制御部 1 1' が運用中であるとすれば、1 系主制御

部 1 1' はステップ 2 1 7 ~ 2 2 4 において 0 系主制御部 1 1 のステップ 2 0 7 ~ 2 1 4 と同様の処理を実行する。

【 0 0 3 0 】

(b) 通常パケットのスイッチング

パケットプロセッサ 1 3 a は連想データを受信すれば、ルーチングデータ（ハイウェイ番号 HW No.）、その他の情報 α を取り出し、これら情報（HW No. + α ）6 1 を IP パケット（ペイロード）6 2 に付加してスイッチ 1 2 に入力する（図 4（B）参照）。尚、先頭の 1 bit に一連の転送データがスイッチングすべき通常パケットであることを示すデータフラグ（Data Flag）6 3 を付与する（以上、ステップ 2 0 2, 2 0 3）。

スイッチ 1 2 は受信した転送データの先頭ビット（フラグ）を参照し（ステップ 2 0 4）、先頭ビットがデータフラグであれば転送データはパケットであると判定し、フラグを除去し、ルーチングデータ 6 1 に基づいてパケットを所定の回線カードにスイッチングする（ステップ 2 0 5）。該回線カードはスイッチ 1 2 よりパケットを受信すれば、ルーチングデータを削除し、SONET/SDH のペイロードにマッピングして回線へ送出する。

【 0 0 3 1 】

図 5 のタイムチャートは横軸に時間をとったものである。本発明のルーチング装置は、スイッチ 1 2、システムバス 1 1 g を経由するインバンド方式により C AM へアクセスする。このため、ルーチングデータを得るのに多少の時間を必要とする。しかし、システムバスの速度向上、スイッチの動作速度向上により、実際のアクセス時間を短くすることができ、従来型ルーチング装置のアクセス時間と遜色なく動作可能である。

【 0 0 3 2 】

(C) 回線カードの異種回線の混在搭載

図 1 では各回線カード 1 3₁ ~ 1 3_n は同一構成であることを想定して説明したが、回線カードは複数のパケットプロセッサを備えていてもよく、又、収容する回線の速度は任意でよい。図 6 は異種回線の混在搭載を説明する説明図であり、回線カード 1 3₁ には 1 つのパケットプロセッサ 1 3 a と 1 つの MPU 1 3 b が搭

載され、4種類の速度の異なる回線0C-3, 0C-12, 0C-48, 0C-192が収容されている。回線カード13₂には、2つのパケットプロセッサ13a₁, 13a₂と1つのMPU 13bが搭載され、4種類の速度の異なる回線0C-3, 0C-12, 100BT, Gi-etherが収容されている。回線カード13nには、4つの同一回線0C-12が搭載されている。

【0033】

本発明のルーチング装置は、主制御部11に各回線速度に対応させてCAM 11e₁~11e_nをそれぞれ備える。主制御部11は回線カード13₁~13nから回線識別子が付加された検索キーデータを受信すれば、回線速度に応じたCAMからルーチングデータを求めて要求元の回線カードに送出する。この結果、速度の異なるCAMを回線速度毎に使い分けることが可能となり、しかも、図6に示すように回線カード13₁~13nに種々の速度の回線を収容することが可能となる。すなわち、本発明の類装置は、安価で低速のCAMを使用でき、しかも、回線カードの回線収容効率を向上でき、コストダウンを図ることができる。

【0034】

(D) CAM周辺の構成

図7はCAM周辺の回路構成図であり、図1と同一部分には同一符号を付している。クロスコネクト部11d内のバスコントローラ31は、システムバス11gと連想データバス (Associate Data Bus) 32、キーデータバス (Key Data Bus) 23間のバス調停制御を行う。連想データバス32は、クロスコネクト部内に設けられ、CAM 11e₁~11e_nを構成する連想メモリ21 (図1参照) から読出された連想データ等を伝送する。キーデータバス33は、クロスコネクト部内に設けられ、CAMを構成するキーデータ記憶部22や連想メモリ21に書き込むキーデータ/連想データやルーチングデータ検索用のキーデータ (検索キーデータ) 等を伝送する。すなわち、バスコントローラ31は、メインプロセッサ11aからシステムバス11gを介して入力するルーチングテーブル (キーデータ/連想データ) をキーデータバス33に送出し、所定のCAMに書き込む。又、ルーチングデータ検索時に、回線カードからシステムバス11gを介して入力する検索キーデータをキーデータバス33に送出する。又、CAMから読出さ

れた連想データ等を連想データバス32を介してシステムバス11gに送出する。

【0035】

CAMセクタ34は、回線カード13₁~13_nからインバンド方式で受信するデータより、①キーデータ51、②回線識別子(Line ID)53、③スイッチ識別子(SW ID)の分離を行い、キーデータをCAMへ送出すると共に回線識別子、スイッチ識別子を保持し、後述のラインセクタ35に入力する。又、CAMセクタ34は、回線識別子53からアクセスすべきCAMを選択し、そのCAMに対し制御線を介してアクセスイネーブル信号ACENを送出する。図8はルーチングデータ検索時におけるCAMアクセスのタイムチャートである。CAMセクタ34は、クロックに同期してアクセスイネーブル信号ACENをハイレベルにし、しかる後、キーデータKDTをクロックに同期してCAMに送出する。

ラインセクタ35は、CAMより検索した連想データ (Associate Data)にCAMセクタ34から入力する回線識別子53、スイッチ識別子54を付与して連想データバス32に送出する。

【0036】

バスコントローラ36は、クロスコネクトバス14と連想データバス32、キーデータバス23間のバス調停制御を行う。運用系の主制御部11のメインプロセッサ11aは、内部のCAM 11e₁~11e_nのルーチングテーブルを更新するとき、あるいは、これらCAM 11e₁~11e_nに新たにルーチングテーブルを書き込むとき、スタンバイ系の主制御部11'内のCAM 11e₁'~11e_n'にもルーチングテーブルの更新、書き込みを行なう。かかる場合、バスコントローラ36はバス調停制御を行ってメインプロセッサ11aからのルーチングテーブルをクロスコネクトバス14を介してスタンバイ系主制御部11'に送出する。

【0037】

(E) CAMの内部構成

図9はCAMの内部構成図であり、図1と同一部分には同一符号を付している。I/O制御部20はキーデータと連想データの入出力制御を行うもので、クロ

スコネクト部側から各種データ（キーデータ／連想データ／検索キーデータ）、制御信号、イネーブル信号が入力し、又、クロスコネクト部側へ連想データ／マルチプルヒット関連データ等を出力する。

連想メモリ部 2 1 は連想データ（ルーチングデータ HW-No. + α ）を記憶し、キーデータ記憶部 2 2 は宛先アドレスをキーデータとすると、多数の宛先アドレスに応じたキーデータを記憶する。連想メモリ 2 1 とキーデータ記憶部 2 2 は 1 つメモリアレイの連続領域で構成され、プログラマブルに連想データのビット幅 r やキーデータのビット幅 k 、領域境界線を可変に設定できるようになっている。

【 0 0 3 8 】

アドレス変換部 2 3 は各回線カードから要求された宛先アドレス DA に応じたキーデータ（検索キーデータ）がキーデータ記憶部 2 2 に存在するとき、キーデータを連想メモリ 2 1 のアドレスに変換するもので、レスポンスレジスタ 2 3 a、プライオリティエンコーダ 2 3 b を備えている。レスポンスレジスタ 2 3 a は、(1) キーデータ記憶部 2 2 に記憶されている円とキーデータと検索キーデータとのマッチング結果（比較結果）、あるいは、(2) キーデータ記憶部 2 2 に記憶されているエントリキーデータと検索キーデータの非マスク部分とのマッチング結果を格納する。プライオリティエンコーダ 2 3 b はレスポンスレジスタ 2 3 a のマッチング結果をもとに連想メモリ 2 1 のアドレスを生成し、連想メモリ 2 1 の該アドレスより連想データ（ルーチングデータ HW-No. + α ）を出力する。キーデータ記憶部 2 2 に記憶されている複数のキーデータが検索キーデータと一致する場合（マルチプルヒット）、プライオリティエンコーダ 2 3 b は予め定められている基準に基づいて定まる 1 つのエントリキーデータに応じたアドレスを発生する。このアドレスから読出した連想データによりパケットを送ってみて、パケットが宛先に届かなければ要求により次のエントリキーデータに応じたアドレスを出力し、以後同様にシーケンシャルにアドレスを出力する。

【 0 0 3 9 】

メモリアクセス部 2 4 は、メモリアレイへのキーデータ／連想データの書き込み制御、検索キーデータに応じた連想データの読出し制御をするもので、アドレスデコーダ 2 4 a、インデックス／マスクレジスタ 2 4 b、モード設定レジスタ

24 cを備えている。アドレスデコーダ24 aは入力するアドレスデータをデコードしてメモリアレイの所定のアドレスにキーデータ／連想データを書き込み（ルーチングテーブル更新時）、あるいはメモリアレイの所定アドレスよりキーデータ／連想データを読み出す（ルーチングデータ検索時）。インデックス／マスクレジスタ24 bは検索キーデータおよびマスクデータを記憶する。モード設定レジスタ24 cはキーデータのビット幅 k ／連想データのビット幅 r ／エントリ数 e を保持するもので、エントリ数 e はメモリアレイに保存可能なキーデータ数（＝連想データ数）である。アドレスデコーダ24 aは k 、 r 、 e に基づいてアドレスデータに応じたキーデータ領域22および連想データ領域21におけるアドレスを発生してキーデータおよび連想データの読み／書き制御を行なう。このように、従来、CAM LSI外部に配置していたRAM構成の連想メモリをCAM LSI内部に配置することによりメモリアレイを有効に活用することが可能になり、又、キーデータ幅や連想データ幅が変更になってもモード設定レジスタ24 cの設定データのみの変更により対応することができる。

【0040】

マルチプルヒット管理部25は、キーデータ記憶部22に記憶されている複数のキーデータが検索キーデータと一致する時（マルチプルヒット時）、ヒット数 C_H をヒットレジスタ25 aに格納すると共に、検索キーデータとマッチングするエントリキーデータをキーデータレジスタ25に格納し、適宜、ヒット数 C_H およびエントリキーデータの組をI/Oコントローラ20を介してメインプロセッサ11 aに送出する。以上のように、マルチプルヒット管理部25がヒット数およびエントリキーデータを管理するため、メインプロセッサ11 aは必要に応じてこれら管理データを読みとって所定の処理を行なうだけでよい。尚、マルチプルヒット時におけるメインプロセッサの処理を軽減することができる。尚、メインプロセッサの処理としては、キーデータ記憶部22に記憶されているキーデータの誤り検出処理等がある。

【0041】

（F）メモリアレイおよび周辺回路

図10はメモリアレイおよびその周辺回路の構成図であり、図9と同一部分に

は同一符号を付している。RAM構成のメモリアレイMCAの前半はキーデータ記憶領域22、後半が連想メモリ領域21になっている。メモリアレイMCAの1バイトセルの総数を y 、キーデータ幅を k バイト、ルーチングデータを含む連想データ幅を r バイトとすると、メモリアレイに登録可能なキーデータおよび連想データの数(エントリ数) e は、キーデータ数と連想データ数が同じであるから次式

$$e = y / (k + r) \quad (1)$$

により求まり、これら k 、 r 、 e はモード設定レジスタ24cに設定される。エントリ数 e は例えばI/Oコントローラ20(図9)が演算してモード設定レジスタ24cに設定する。図11はメモリアレイにおける1バイトセル数 y 、キーデータ幅 k 、連想データ幅 r 、エントリ数 e の関係図表であり、エントリ数は(1)式により求まる。図11の図表において、左欄はメモリアレイのセルバイト数が1000、右欄はセルバイト数が16,384の場合における y 、 k 、 r 、 e の関係を示している。

【0042】

キーデータ記憶領域22の第 i キーデータアドレスに対応するセルバイトアドレスはこれら k 、 r 、 e より、以下

$$i \cdot k \sim i \cdot k + (k - 1) \quad (2)$$

で与えられる。又、連想メモリ領域21の第 j 連想データアドレスに対応するセルバイトアドレスは以下

$$k \cdot e + j \cdot r \sim k \cdot e + j \cdot r + (r - 1) \quad (3)$$

で与えられる。アドレスデコーダ24aはモード設定部24cに設定された k 、 r 、 e を参照し、(2)、(3)式により入力するアドレスデータをメモリアレイMCAのバイトアドレスに変換する。

【0043】

・キーデータの書き込み

メモリアレイMCAに対すキーデータ書き込みに際して、キーデータがメモリアレイMCAに入力し、キーデータの書き込みアドレス i がアドレスデコーダ24aに入力すると、アドレスデコーダ24aはアドレスデータ i を(2)式に従っ

てデコードし、デコードにより求まるバイトアドレスが示す k 個の 1 バイトセルにキーデータを書き込む。以後、同様に順次キーデータをメモリアレイ MCA のキーデータ記憶領域 2 2 に書き込む。

・連想データの書き込み

メモリアレイ MCA に対する連想データの書き込みに際して、連想データがメモリアレイ MCA に入力し、連想データの書き込みアドレス j がアドレスデコーダ 2 4 a に入力すると、アドレスデコーダ 2 4 a はアドレスデータ j を (3) 式に従ってデコードし、デコードにより求まるバイトアドレスが示す r 個の 1 バイトセルに連想データを書き込む。以後、同様に順次連想データをメモリアレイ MCA の連想メモリ領域 2 1 に書き込む。

【 0 0 4 4 】

・検索キーデータに応じた連想データの読出し

検索キーデータに応じた連想データを出力するには、該検索キーデータをインデックス／マスクレジスタ 2 4 b に入力して記憶すると共に、アドレスデコーダ 2 4 a にキーデータの読出しアドレス $i = 1 \sim e$ を順次入力する。アドレスデコーダ 2 4 a はアドレスデータ i を (2) 式に従ってデコードし、デコードされたバイトアドレスが示す k 個のバイトセルから k バイトのキーデータ（エントリキーデータ）を読み出し、ゲート 2 6 を介してインデックス／マスクレジスタ 2 4 b に入力する。インデックス／マスクレジスタ 2 4 b はその比較機能により、検索キーデータとエントリキーデータを比較し、比較結果をレスポンスレジスタ 2 3 a に格納する。以後、同様に、アドレスデータ i を歩進し、 $i = 1 \sim e$ が示すキーデータアドレスから読み取ったエントリキーデータと検索キーデータとの比較結果をレスポンスレジスタ 2 3 a に格納する。比較処理が終了すれば、プライオリティエンコーダ 2 3 b は検索キーデータと一致したエントリキーデータを連想メモリ領域 2 1 のアドレス j に変換し、アドレスデコーダ 2 4 a に入力する。アドレスデコーダ 2 4 a は入力する連想データアドレス j を (3) 式に従ってデコードし、デコードにより得られたバイトアドレスの示す r 個のバイトセルから r バイトの連想データを読出し、ゲート 2 6 を介して出力する。

以上のように、本発明のルーチング装置によれば、連想データやキーデータの

ビット幅を変更する際、変更後の連想データのビット幅 r やキーデータのビット幅 k を入力するだけでよく、CAM 周辺回路の設計変更をする必要がない。

【0045】

(G) 各ユニット間のデータの流れ

(a) CAM-メインプロセッサ間のデータの流れ

図12はCAM-メインプロセッサ間のデータの流れを説明する説明図である。運用系の主制御部11のメインプロセッサ11aは、内部のCAM $11e_1 \sim 11e_n$ にアクセスするとき、ルートR1を介して行なう。従って、メインプロセッサ11aがルーチングテーブル（キーデータ/連想データ）を内部のCAM $11e_1 \sim 11e_n$ に書き込む際、該ルートR1を介して行なう。又、内部CAMより連想データ等を読み出すときにも該ルートR1を介して行なう。又、運用系の主制御部11のメインプロセッサ11aは、スタンバイ系主制御部11'の内部のCAM $11e'_1 \sim 11e'_n$ にアクセスするとき、図8のルートR2を介して行なう。従って、メインプロセッサ11aがルーチングテーブルを二重化するためにCAM $11e'_1 \sim 11e'_n$ に該ルーチングテーブルを書き込む際、ルートR2を介して行なう。

【0046】

(b) CAM-パケットプロセッサ間のデータの流れ

図13はCAM-パケットプロセッサ間のデータの流れを説明する説明図である。運用系のCAMと回線カードのパケットプロセッサ間のデータ送受はルートR1~R3を介して行なわれる。ルートR1は回線カード13₁が検索キーデータを運用系のCAM $11e_1$ へ与えて検索結果（ルーチングデータ）を受信する場合のルートである。ルートR2は回線カード13₂が検索キーデータを運用系のCAM $11e_n$ へ与えて検索結果（ルーチングデータ）を受信する場合のルートである。ルートR3は主制御部11'が運用系になった場合、回線カード13_nが検索キーデータを運用系のCAM $11e'_1$ へ与えて検索結果（ルーチングデータ）を受信する場合のルートである。

【0047】

(c) 障害時のCAM-パケットプロセッサ間のデータの流れ

図14は障害時のCAM-パケットプロセッサ間のデータの流れを説明する説明図である。障害発生前は、回線カード13₁のパケットプロセッサ13aはルートR1を介して運用系主制御部11のCAM 11e₁~11e_nにアクセスしてルーチングデータを取得する。しかし、CAM 11e₁~11e_nに障害が発生して主制御部11'が運用系になれば、パケットプロセッサ13aはルートR2を介して運用系の主制御部11'のCAM 11e'₁~11e'_nにアクセスしてルーチングデータを取得する。

【0048】

・付記

(付記1) 回線より到来するパケットの宛先アドレスに応じたルーチングデータを求めてパケットに付加し、該ルーチングデータに基づいてパケットをスイッチングして所定の回線に送出するルーチング装置において、

ルーチングデータ発生部を備え、要求された宛先アドレスに応じたルーチングデータを発生して要求元に送出する主制御部、

回線より到来するパケットの宛先アドレスを抽出し、該宛先アドレスに応じたルーチングデータを通知するよう主制御部に要求し、主制御部より通知されたルーチングデータをパケットに付加して出力する回線インタフェース部、

所定の回線インタフェース部から入力する前記ルーチングデータ要求を主制御部に送出し、主制御部からのルーチングデータを要求元の回線インタフェース部に送出し、ルーチングデータ付きパケットを該ルーチングデータに基づいてスイッチングして別の回線インタフェース部に送出するスイッチ部、

を備えたことを特徴とするルーチング装置。

【0049】

(付記2) 前記主制御部のルーチングデータ発生部は、

ルーチングデータを記憶する連想メモリ部、

宛先アドレスをキーデータとするとき、多数の宛先アドレスに応じたキーデータを記憶するキーデータ記憶部、

前記要求された宛先アドレスに応じたキーデータがキーデータ記憶部に存在するとき、該キーデータを前記連想メモリのアドレスに変換する変換部、

連想メモリ部の該アドレスよりルーチングデータを読み出して要求元である回線インタフェース部に送出するルーチングデータ送出部、

を備えたことを特徴とする付記 1 記載のルーチング装置。

(付記 3) 前記主制御部を二重化し、運用中の主制御部は前記各記憶部の記憶内容を更新するとき、スタンバイ中の主制御部の各記憶部の記憶内容も更新し、運用中の主制御部側に障害が発生したとき、スタンバイ中の制御部は新たに運用中制御部としてルーチング制御を継続する、

ことを特徴とする付記 2 記載ルーチング装置。

【 0 0 5 0 】

(付記 4) 前記主制御部は、回線速度に対応させてルーチングデータ発生部を備え、

前記回線インタフェース部は、回線より到来するパケットの宛先アドレスに応じたキーデータに回線識別子を付加して主制御部にルーチングデータを通知するよう要求し、

主制御部は、該通知要求により回線識別子の回線速度に応じたルーチングデータ発生部よりルーチングデータを発生して要求元の回線インタフェース部に送出する、

ことを特徴とする付記 2 記載のルーチング装置。

【 0 0 5 1 】

(付記 5) 回線インタフェース部に任意の回線速度の回線を接続する、ことを特徴とする付記 4 記載のルーチング装置。

(付記 6) 各回線インタフェース部は、主制御部へ送出するルーチングデータ要求にキーフラグを付し、パケットにデータフラグを付してスイッチ部に入力し、

スイッチ部はキーフラグ付きデータを主制御部に送出し、データフラグ付きパケットをルーチングデータに基づいて出力側の回線インタフェース部に送出する、

ことを特徴とする付記 2 記載のルーチング装置。

【 0 0 5 2 】

(付記 7) 前記連想メモリ部とキーデータ記憶部を 1 つメモリアレイの連続領域で構成し、

メモリアレイの 1 バイトセルの総数を y 、キーデータ幅を k バイト、ルーチングデータを含む連想データ幅を r バイトとすると、登録可能なキーデータ数および連想データ数であるエントリ数 e を

$$e = y / (k + r)$$

により演算し、これら k 、 r 、 e によりキーデータおよび連想データのキーデータ領域および連想データ領域への読み／書き制御を行なう、

ことを特徴とする付記 2 記載のルーチング装置。

(付記 8) 前記ルーチングデータ発生部は、

前記キーデータ幅 k 、連想データ幅 r 、エントリ数 e を保持するレジスタ、

k 、 r 、 e によりキーデータおよび連想データの読み／書き制御を行なうアドレスデコーダ、

を備えたことを特徴とする付記 7 記載のルーチング装置。

【0053】

(付記 9) 前記主制御部のルーチングデータ発生部は、更に、

前記要求された宛先アドレスに応じたキーデータと同一のキーデータ、あるいは、該宛先アドレスに応じたキーデータの非マスク部分と同一のキーデータがキーデータ記憶部に複数エントリされているとき、そのエントリ数、エントリキーデータを保持する保持部、

これらエントリ数、エントリキーデータを外部のプロセッサに通知する手段、

を備えたことを特徴とする付記 2 記載のルーチング装置。

以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

。

【0054】

【発明の効果】

以上本発明によれば、従来、個々の回線カードと主制御部の両方に配置していた CAM(ルーチングデータ発生部)を主制御部側に集約してルーチングテーブル

を一元管理するように構成したから、システム全体で使用しているCAMの個数を削減でき、コストダウンと実装効率を向上することができる。

又、本発明によれば、CAMを主制御部にのみ持たせるだけでよいため、システム立ち上げの際、主制御部のメインプロセッサから回線カードにルーチングテーブルを転送する必要がなく、電源投入時やリカバリー時におけるシステム立ち上げ時間を減少することができる。

【0055】

又、本発明によれば、主制御部は、回線インタフェース部から回線識別子付きのルーチングデータ要求があったとき、回線速度に応じたCAMからルーチングデータを求めて要求元の回線インタフェース部に送出するように構成したから、速度の異なるCAMを回線速度毎に使い分けることが可能となり、安価で低速のCAMを使用でき、しかも、回線カードに種々の速度の回線を収容することが可能となり、回線カードの回線収容効率を向上できる。この結果、ルーチング装置のコストダウンを図ることができる。

又、本発明によれば、主制御部を二重化し、運用中の主制御部はCAMの記憶内容(ルーチングテーブル)を更新するとき、スタンバイ中の主制御部の各CAMのルーチングテーブルも更新し、運用中の主制御部側に障害が発生したとき、スタンバイ中の制御部は新たに運用中制御部としてルーチング制御を継続するように構成したから、CAMをメインプロセッサへ集約した場合の障害発生時の信頼性を向上させることができる。

【0056】

又、本発明によれば、連想メモリ部とキーデータ記憶部を1つのメモリアレイで構成し、該メモリアレイの連続する2つの領域をそれぞれ連想メモリ部、キーデータ記憶部とし、メモリアクセス部はメモリアレイの1バイトセルの総数 y 、キーデータ幅 k 、連想データ幅 r より自動的にメモリアレイに登録可能なキーデータおよび連想データの数(エントリ数) e を求め、これら y 、 k 、 r 、 e に基づいてキーデータおよび連想データのメモリアレイへの読み/書き制御を行なう。このようにすれば、CAM周辺回路の設計変更をしなくても y 、 k 、 r をプログラマブルに変更するだけで連想データやキーデータのビット幅を可変制御する

ことができる。

又、本発明によれば、主制御部のルーチングデータ発生部にマルチプルヒットしたエントリ数（ヒット数）、エントリキーデータの管理を行なわせるようにしたから、マルチプルヒット時の処理をCAM LSI内部にて実現でき、メインプロセッサの処理を少なくして負荷を軽減することができる。

【図面の簡単な説明】

【図 1】

本発明におけるシステム構成図である。

【図 2】

CAM検索最低時間を示す図表である。

【図 3】

連想データを取得するためのCAM-パケットプロセッサ間の動作処理フローである。

【図 4】

CAM-パケットプロセッサ間の送受信データフォーマットである。

【図 5】

CAM-パケットプロセッサ間の送受信タイムチャートである。

【図 6】

回線カードにおける複数異種回線の混在搭載説明図である。

【図 7】

CAM周辺の構成図である。

【図 8】

CAMアクセスのタイムチャートである。

【図 9】

CAMの内部構成図である。

【図 1 0】

メモリアレイと周辺回路の構成図である。

【図 1 1】

RAMセル幅、キーデータ幅、連想データ幅、エントリ数の関係図表である。

【図 1 2】

CAM-メインプロセッサMPU間のデータの流れ説明図である。

【図 1 3】

CAM-パケットプロセッサ間のデータの流れ説明図である。

【図 1 4】

障害時のCAM-パケットプロセッサ間のデータの流れ説明図である。

【図 1 5】

従来のルータの概略構成図である。

【図 1 6】

回線カードの構成図である。

【図 1 7】

CAM検索の流れ図である。

【図 1 8】

従来のルータ装置の詳細な構成図である。

【図 1 9】

従来のルータ装置のパケットの流れ説明図である。

【図 2 0】

CAM LSIの内部構造説明図である。

【符号の説明】

1 1、1 1'・・・主制御部

1 1 e₁～1 1 e_n・・・CAM

1 2・・・スイッチ部

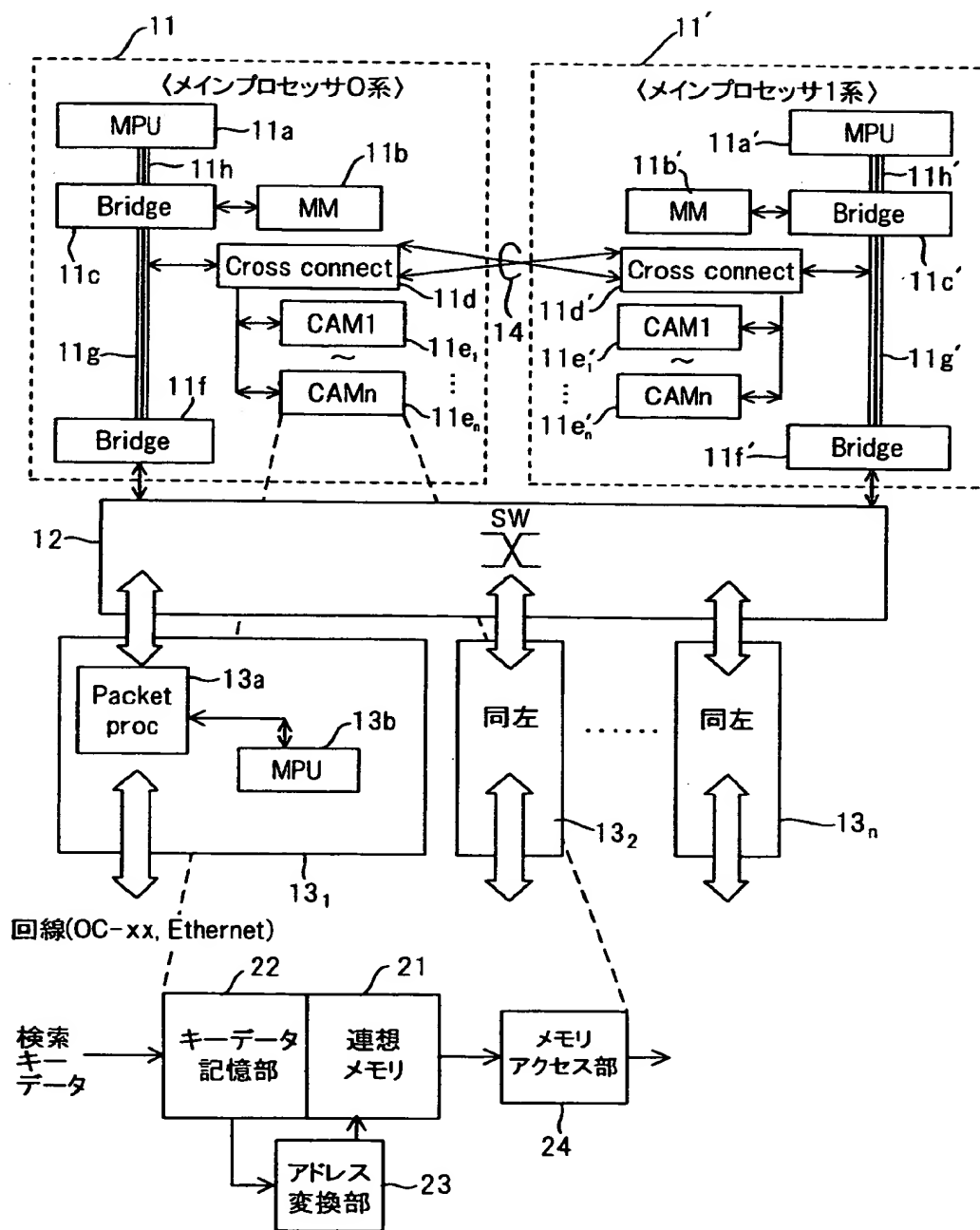
1 3₁～1 3_n・・・回線カード

1 3 a・・・パケットプロセッサ

【書類名】 図面

【図 1】

本発明におけるシステム構成図



【図 2】

CAM検索最低時間を示す図表

(A)

OC-12C PPP packet 送信

Items	Value		IP data 変動分 n	Total転送 時間(μ S)
OC-12C転送時間(ns)	1.6		1	0.36
PPP+IP header固定分(byte)	27		2	0.37
IP data変動分(byte)	n		3	0.39
			4	0.40
Total転送時間=(n+PPP+ip固定分) * OC-12C転送			~	~
			10	0.48
			~	~
			64	1.17
			~	~
			128	1.99
			~	~
			1024	13.52
			~	~
			1500	19.64

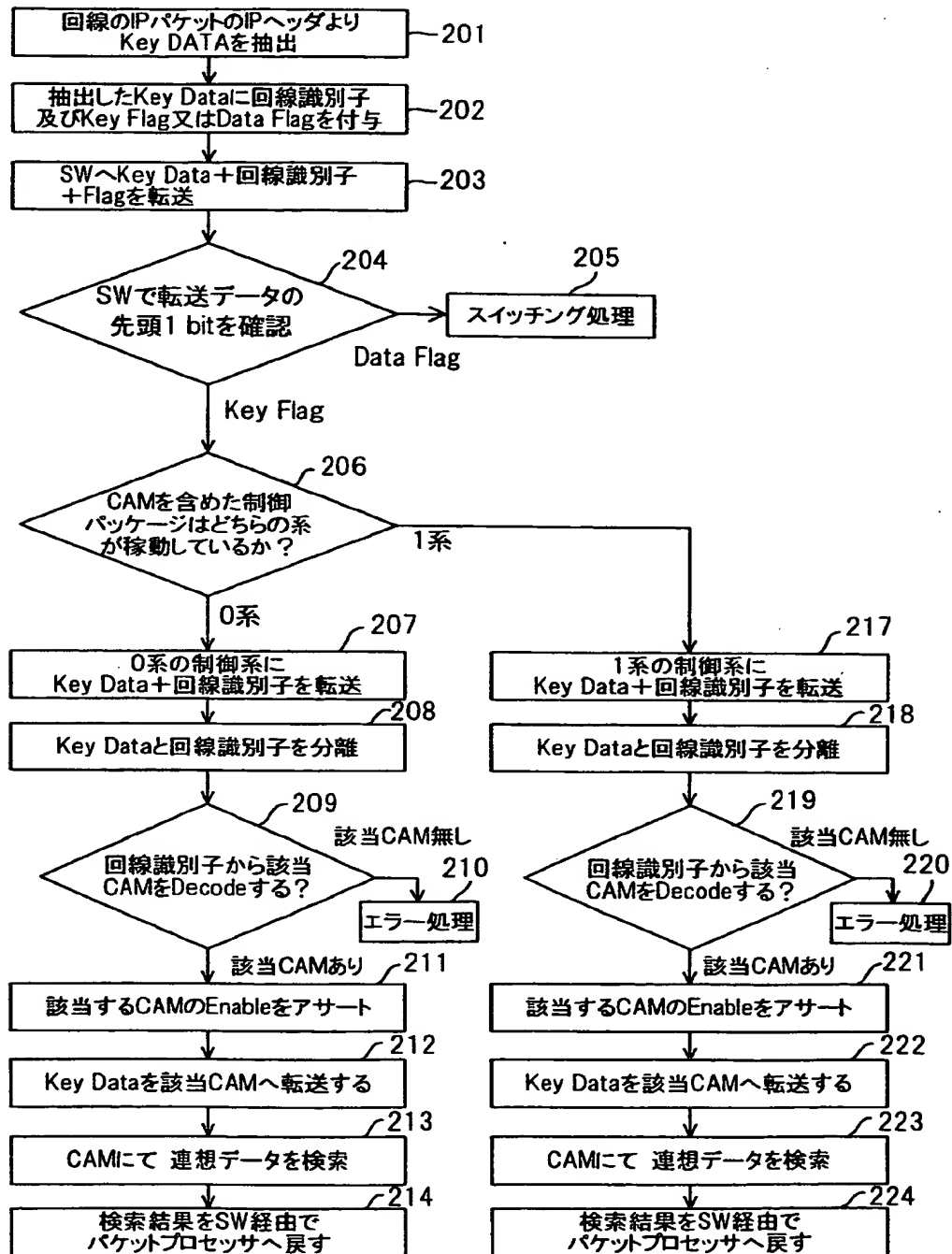
(B)

OC-192C PPP packet 送信

Items	Value		IP data 変動分 n	Total転送 時間(μ S)
OC-192C転送時間(ns)	0.1		1	0.02
PPP+IP header固定分(byte)	27		2	0.02
IP data変動分(byte)	n		3	0.02
			4	0.02
Total転送時間=(n+PPP+ip固定分) * OC-192C転送			~	~
			10	0.03
			~	~
			64	0.07
			~	~
			128	0.12
			~	~
			1024	0.84
			~	~
			1500	1.23

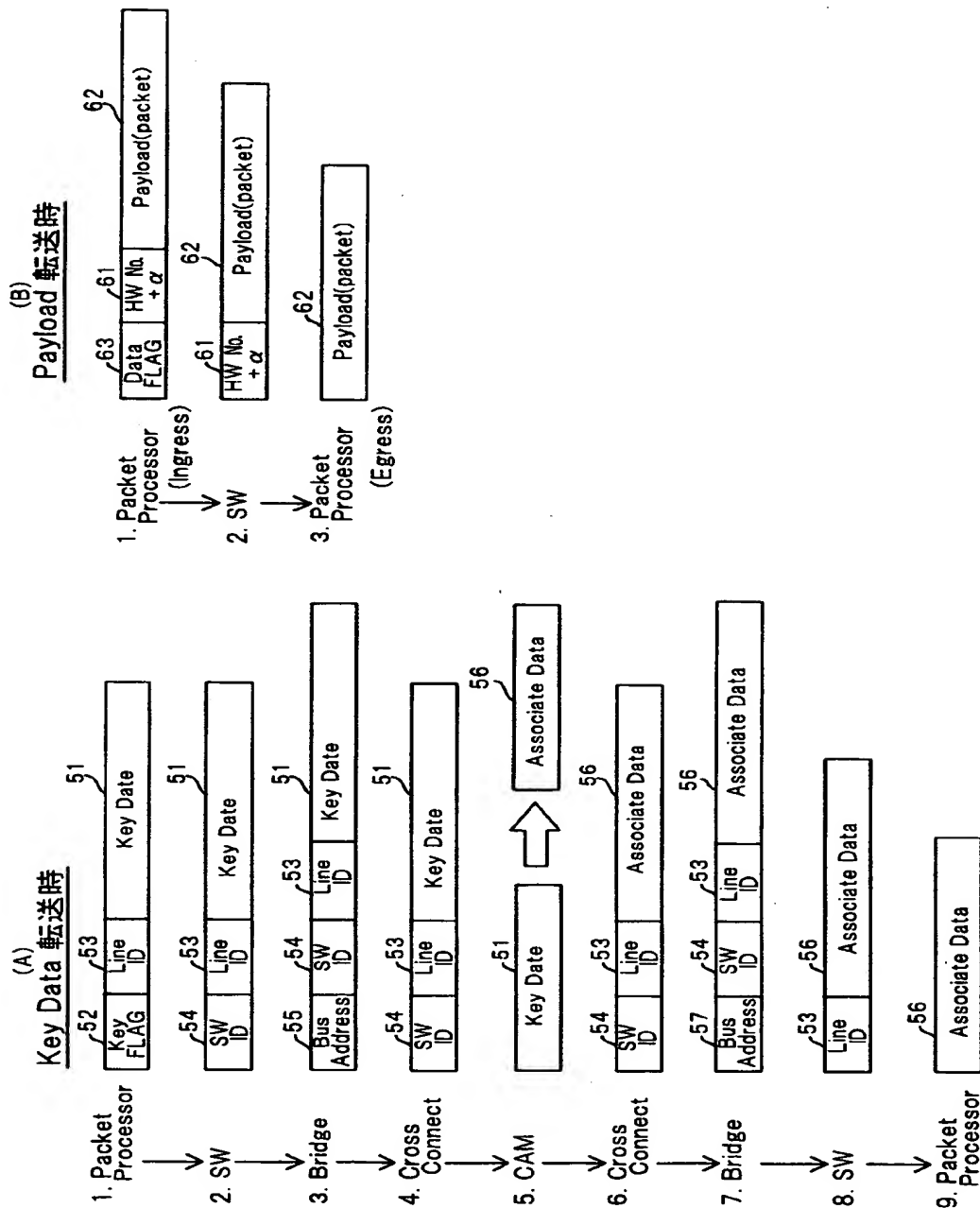
【図 3】

連想データを取得するためのCAM-packet processor間の動作処理フロー



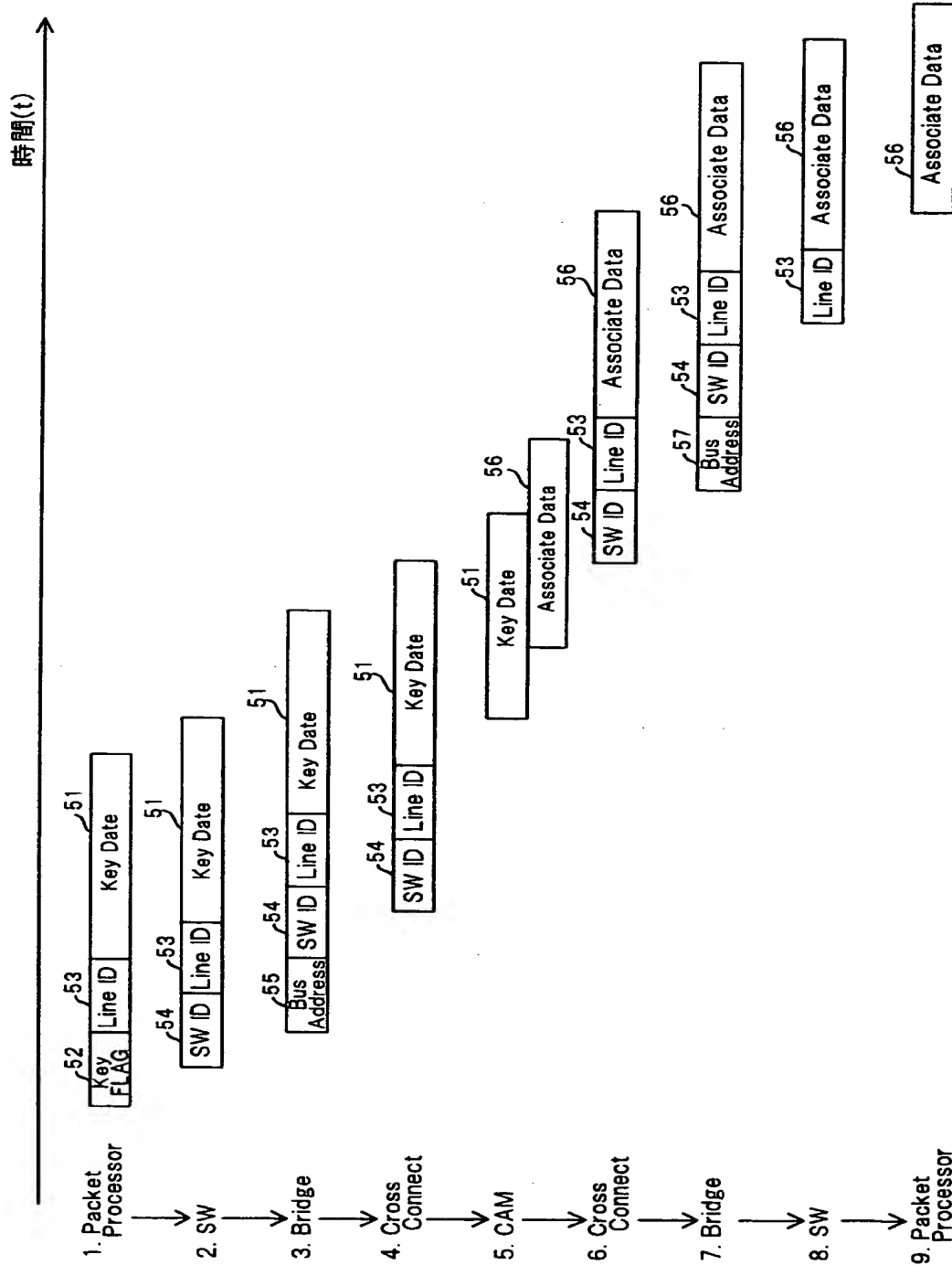
【図 4】

CAM-packet processor間送受信data format



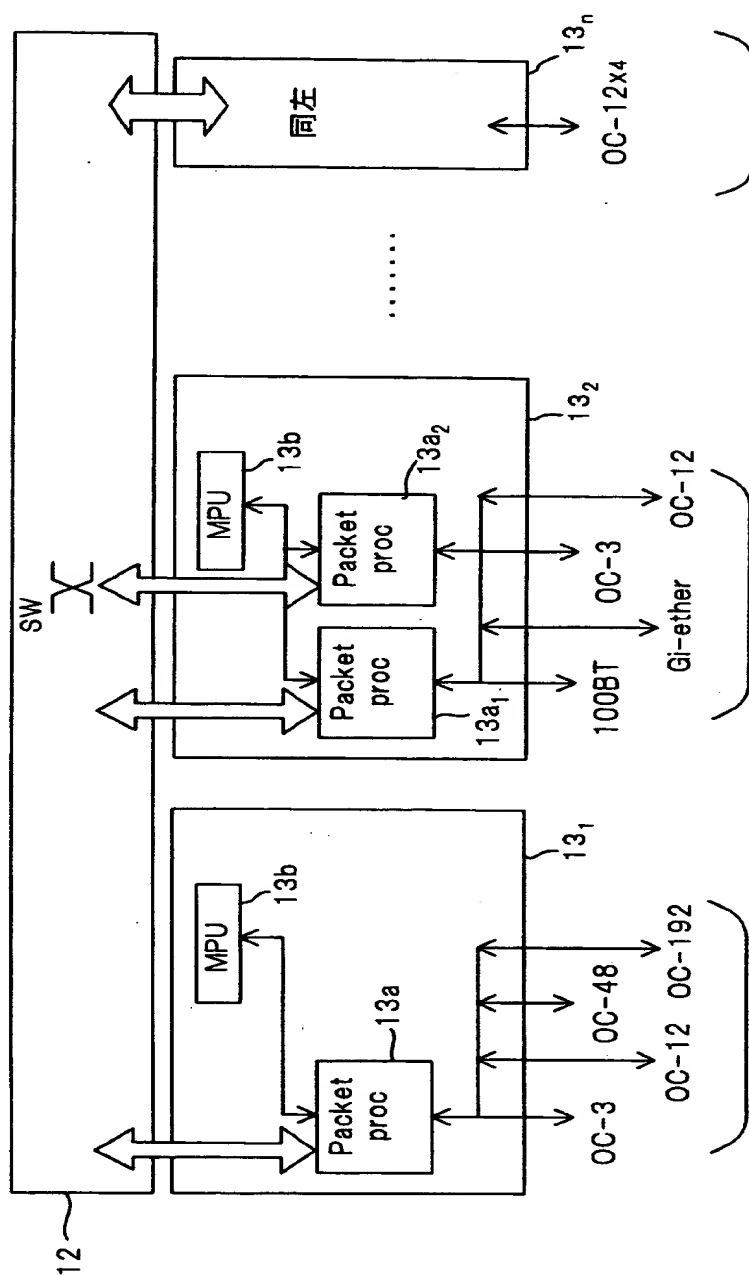
【図 5】

CAM-パケットプロセッサ間の送受信タイムチャート



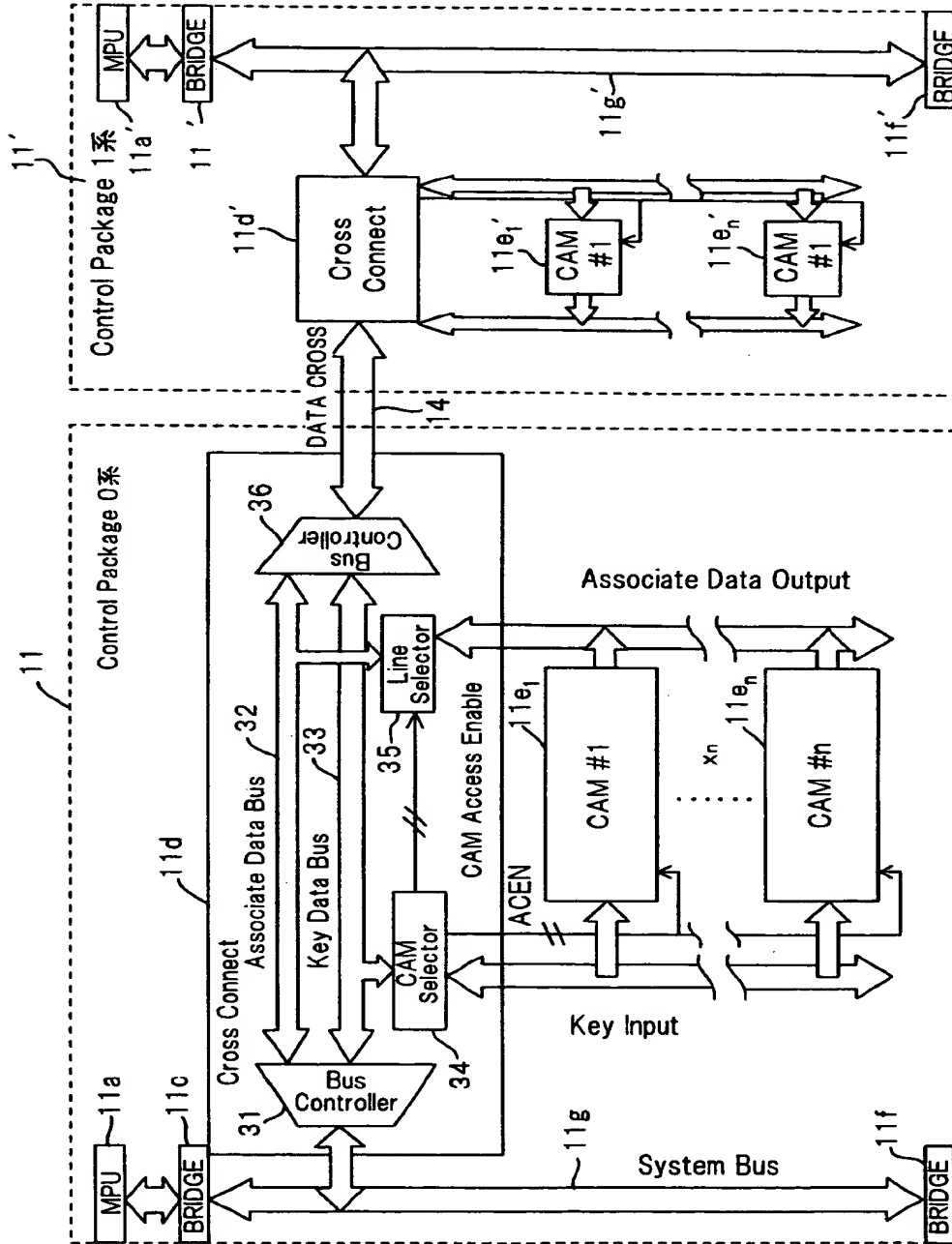
【図 6】

回線CARDにおける複数異種回線の混在搭載



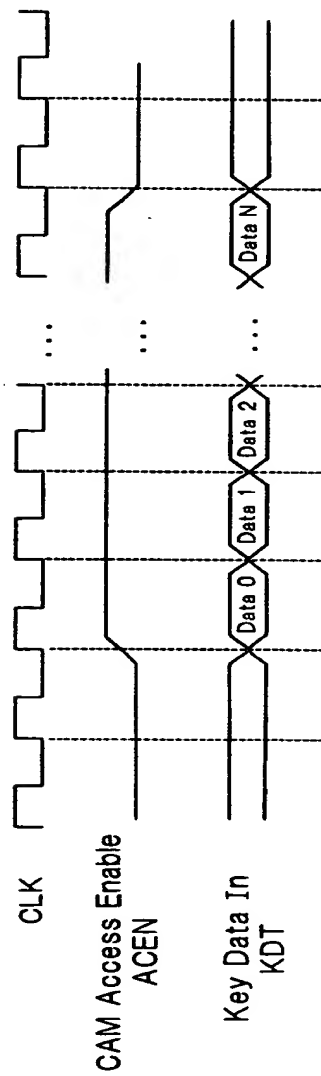
【図 7】

CAM周辺の構成図



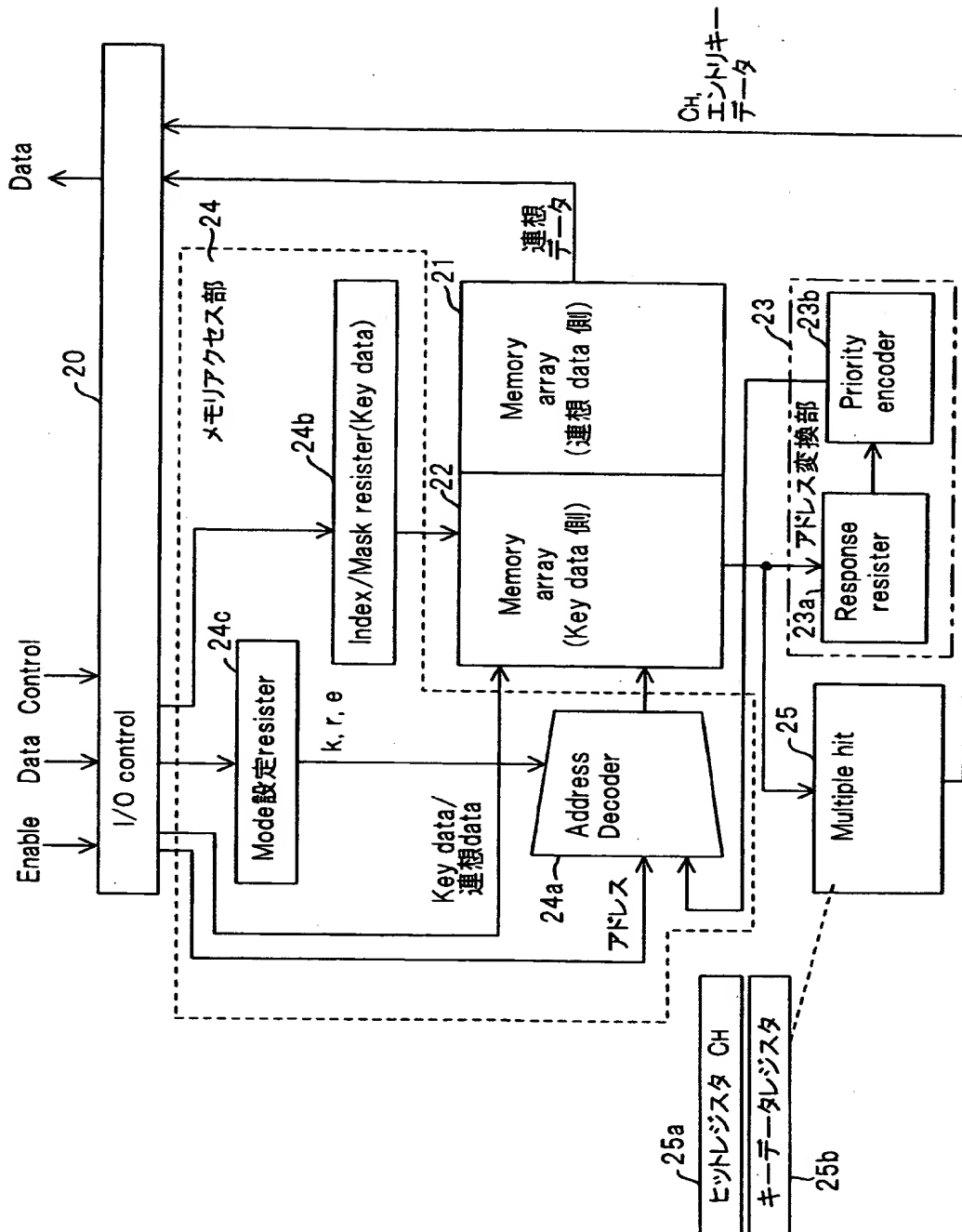
【図 8】

CAMアクセスのタイムチャート



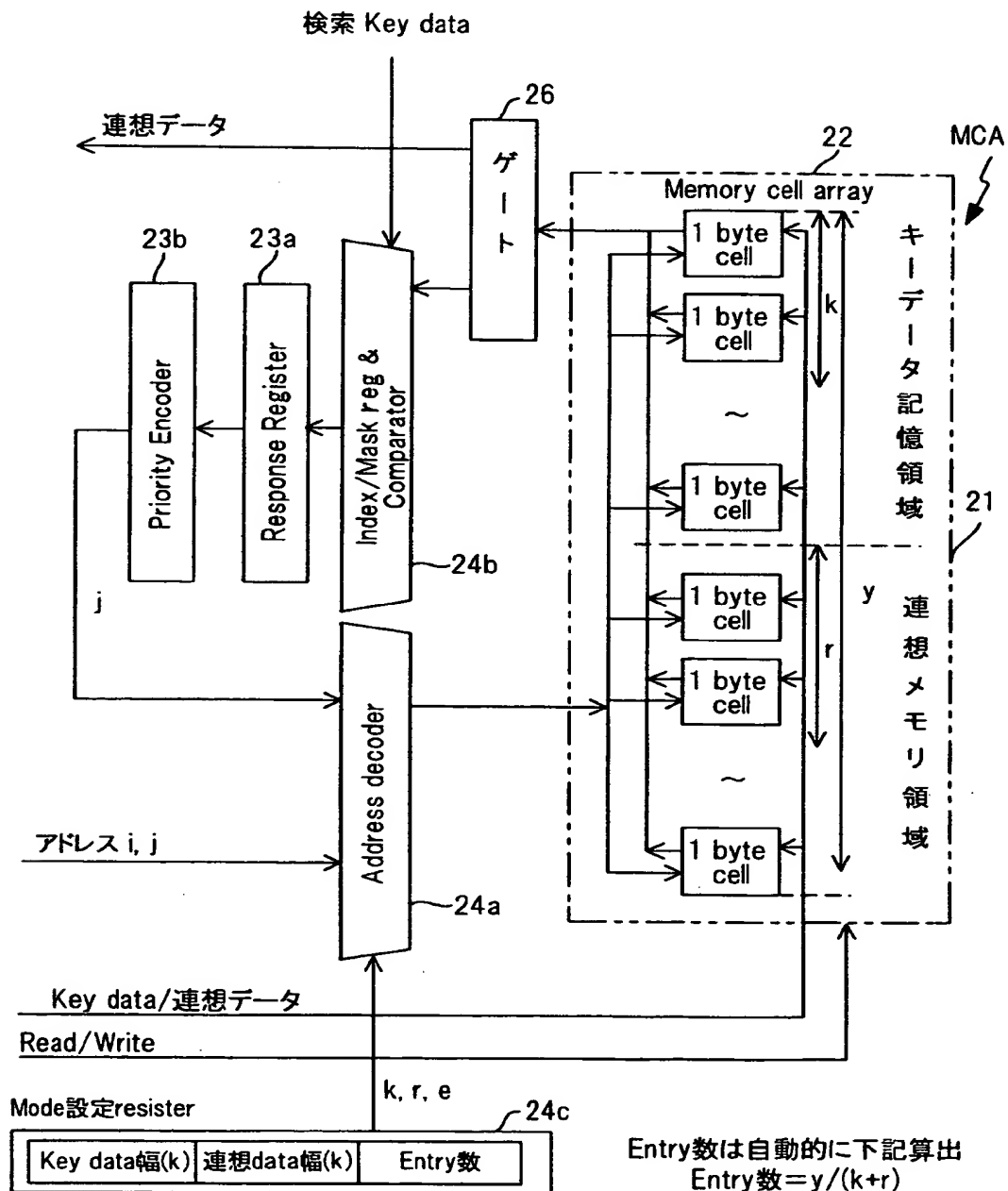
【図 9】

CAMの内部構成図



【図 1 0】

メモリアレイと周辺回路構成



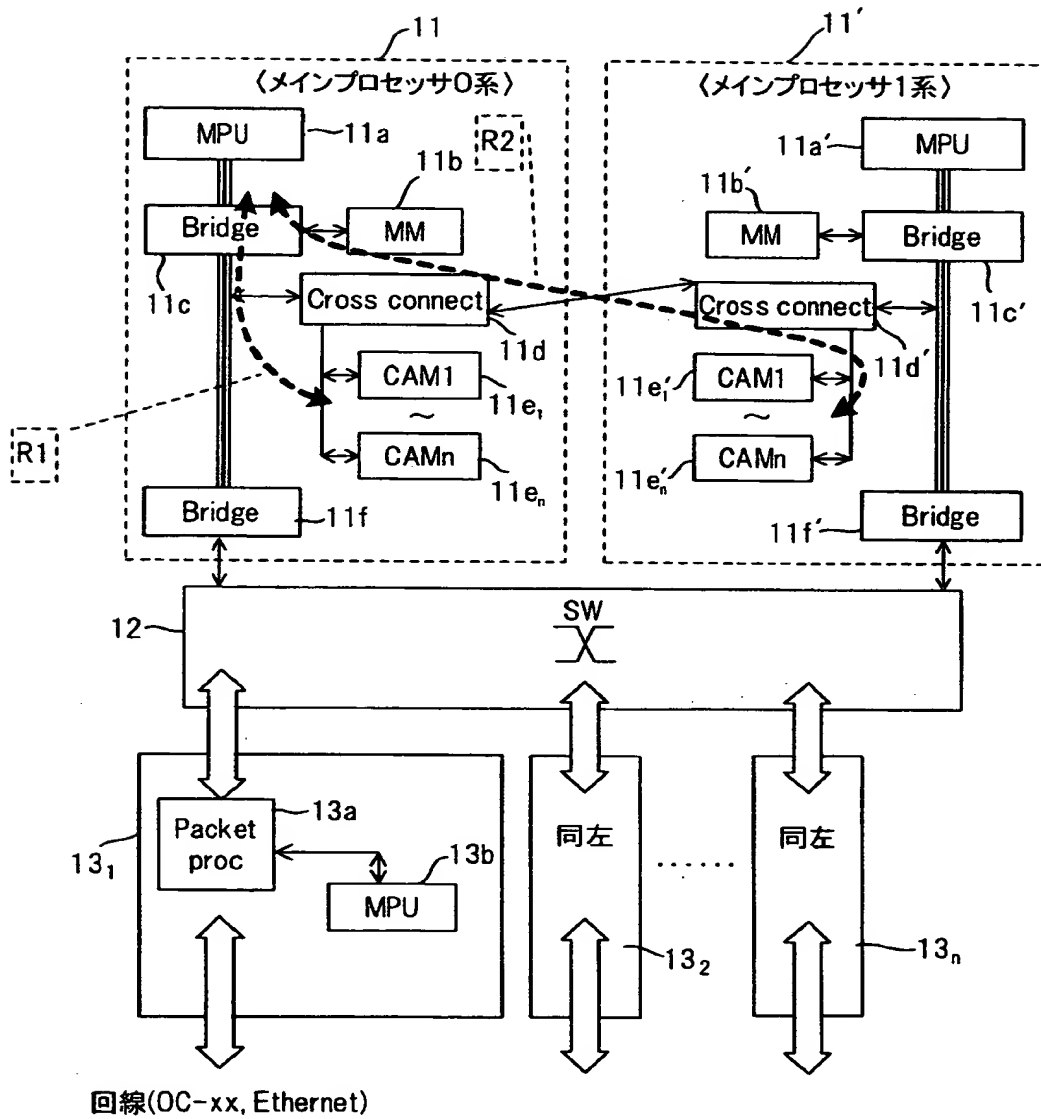
【図 1 1】

RAM Cell 幅、キーデータ幅:連想データ幅、エントリ数の関係図表

RAM cell 幅(byte)		1	1
RAM cell word数	y	1,000	16,384
Key data 幅(byte)	k	4	16
連想data幅(byte)	r	2	2
entry数total		↓	↓
$e=y/(k+r)$	=	167	910

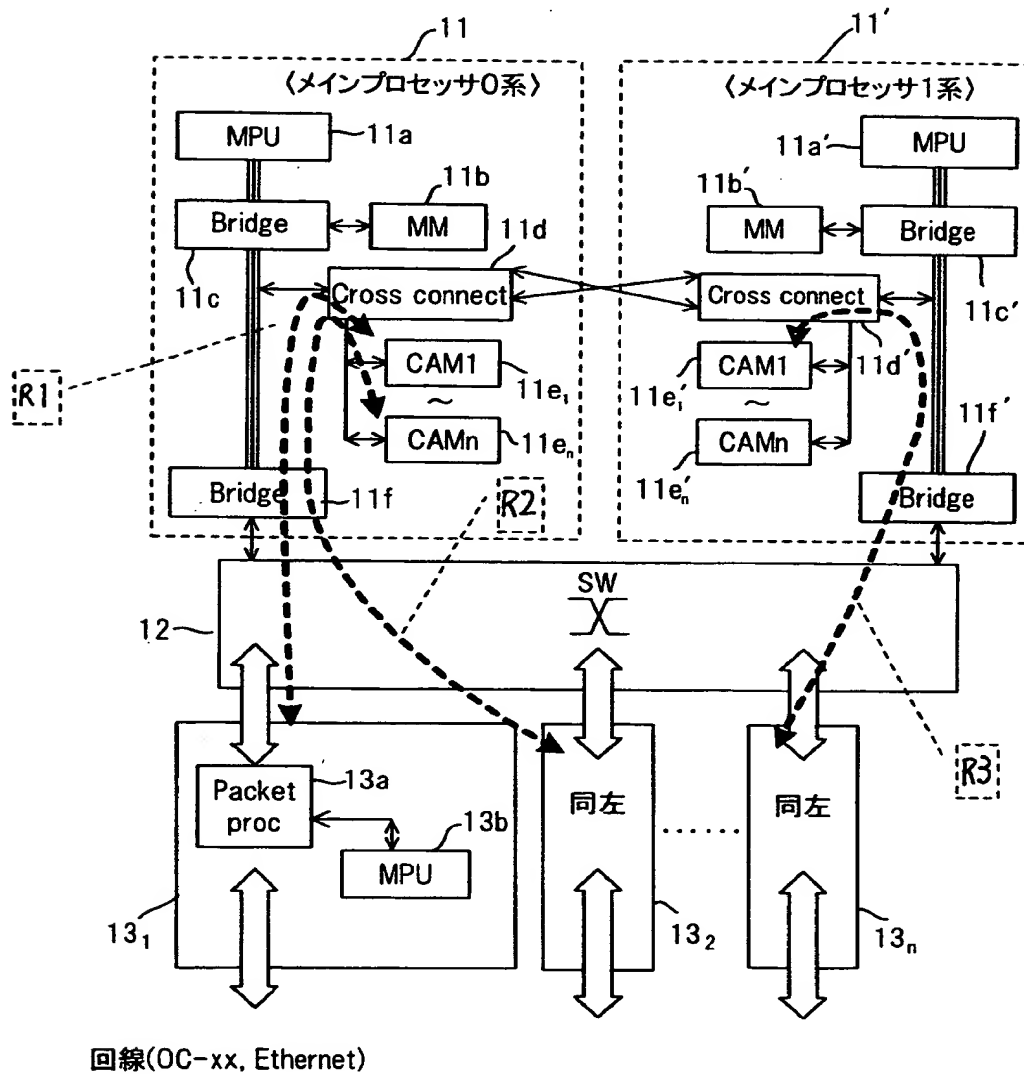
【図 1 2】

CAM-MPU間のdataの流れ



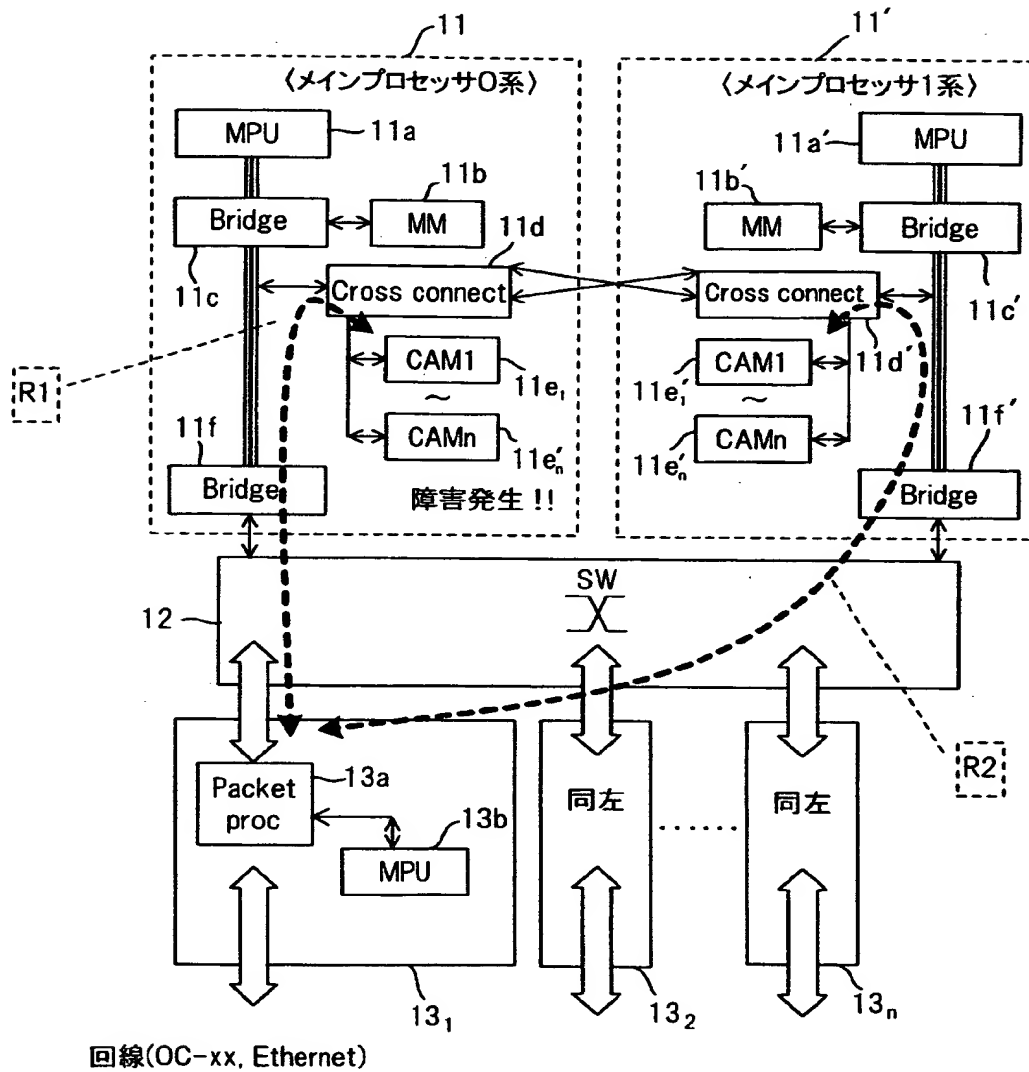
【図 1 3】

CAM-packet processor 間の data の流れ



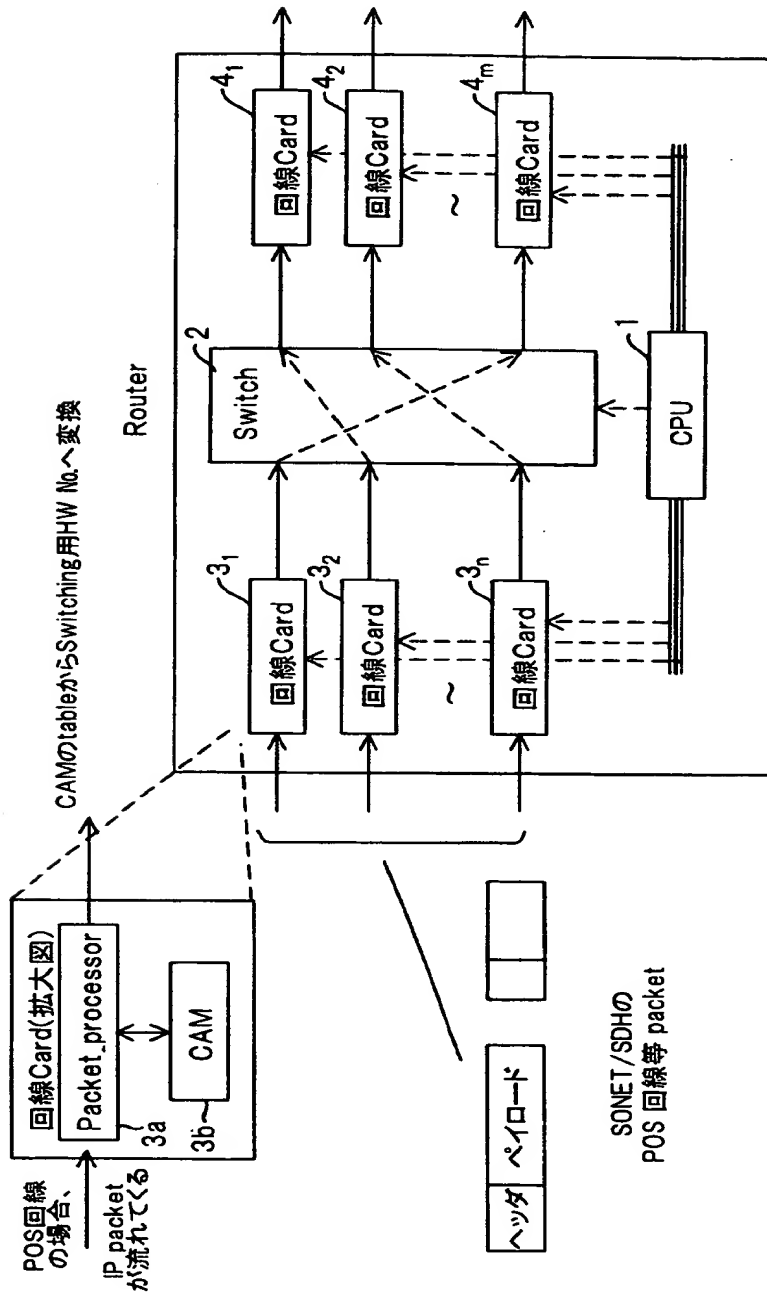
【図 1 4】

障害時のCAM-packet processor 間の data の流れ



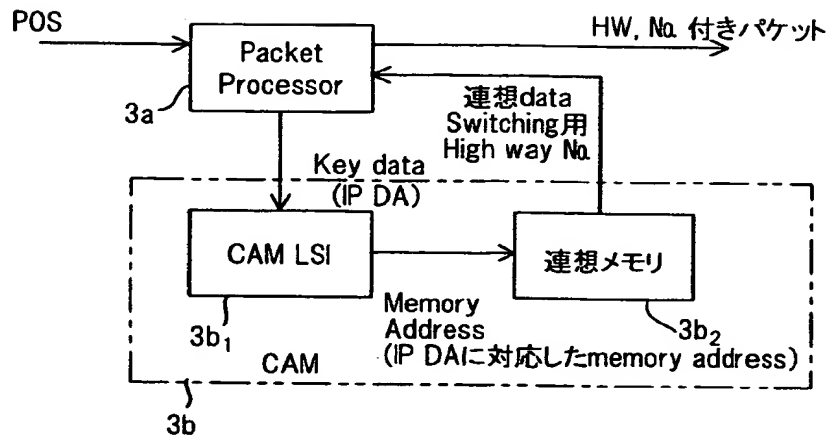
【図 15】

従来のルータの概略構成図



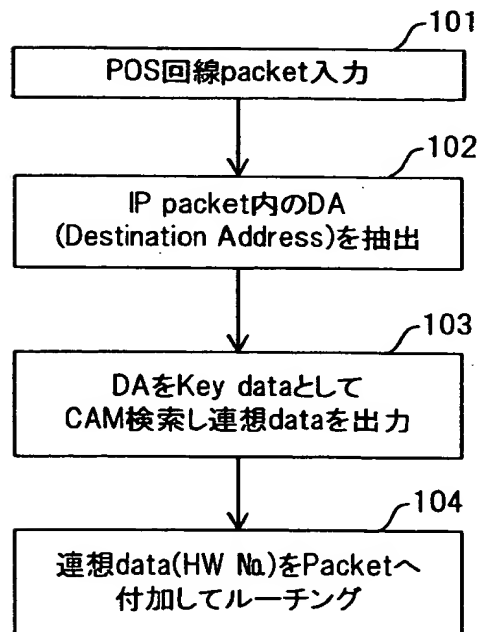
【図 1 6】

回線Cardの構成



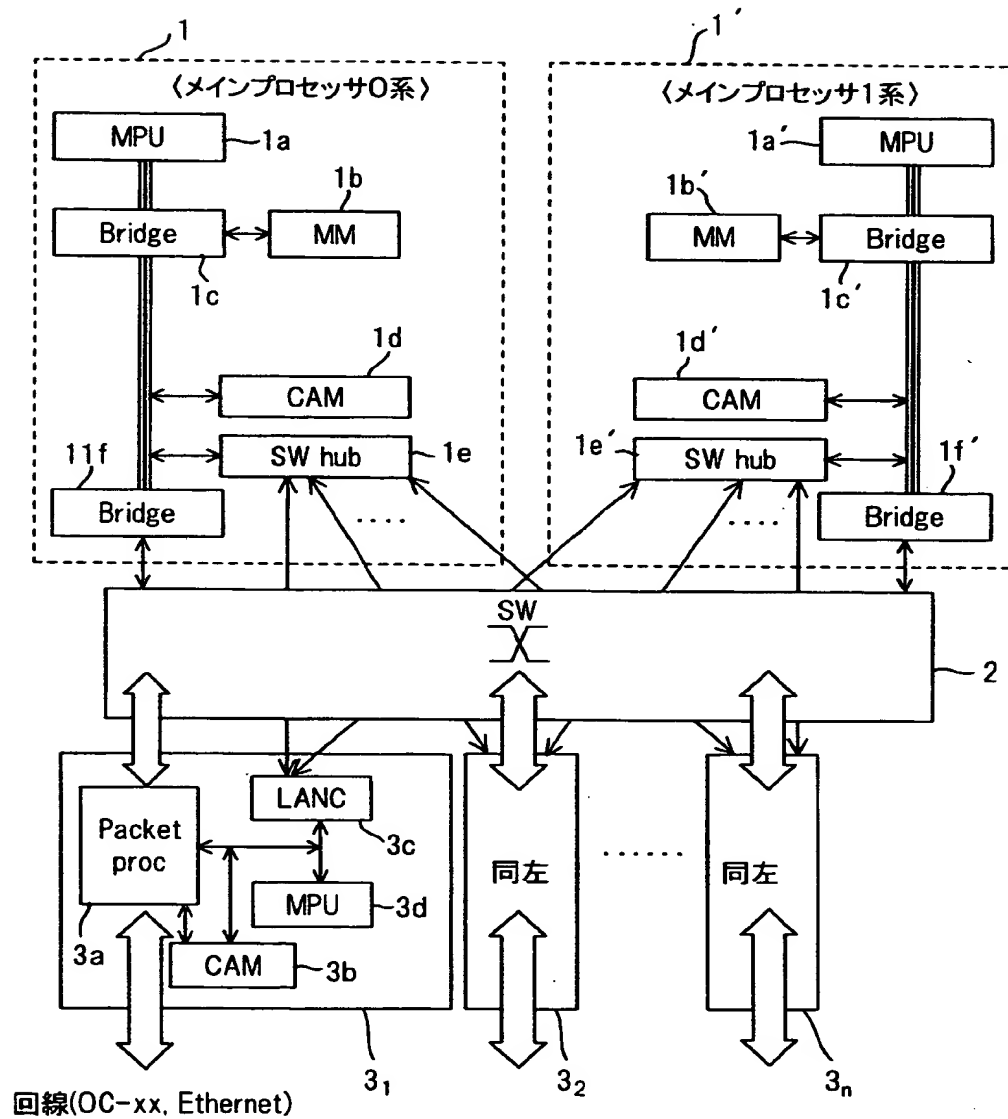
【図 1 7】

CAM検索の流れ



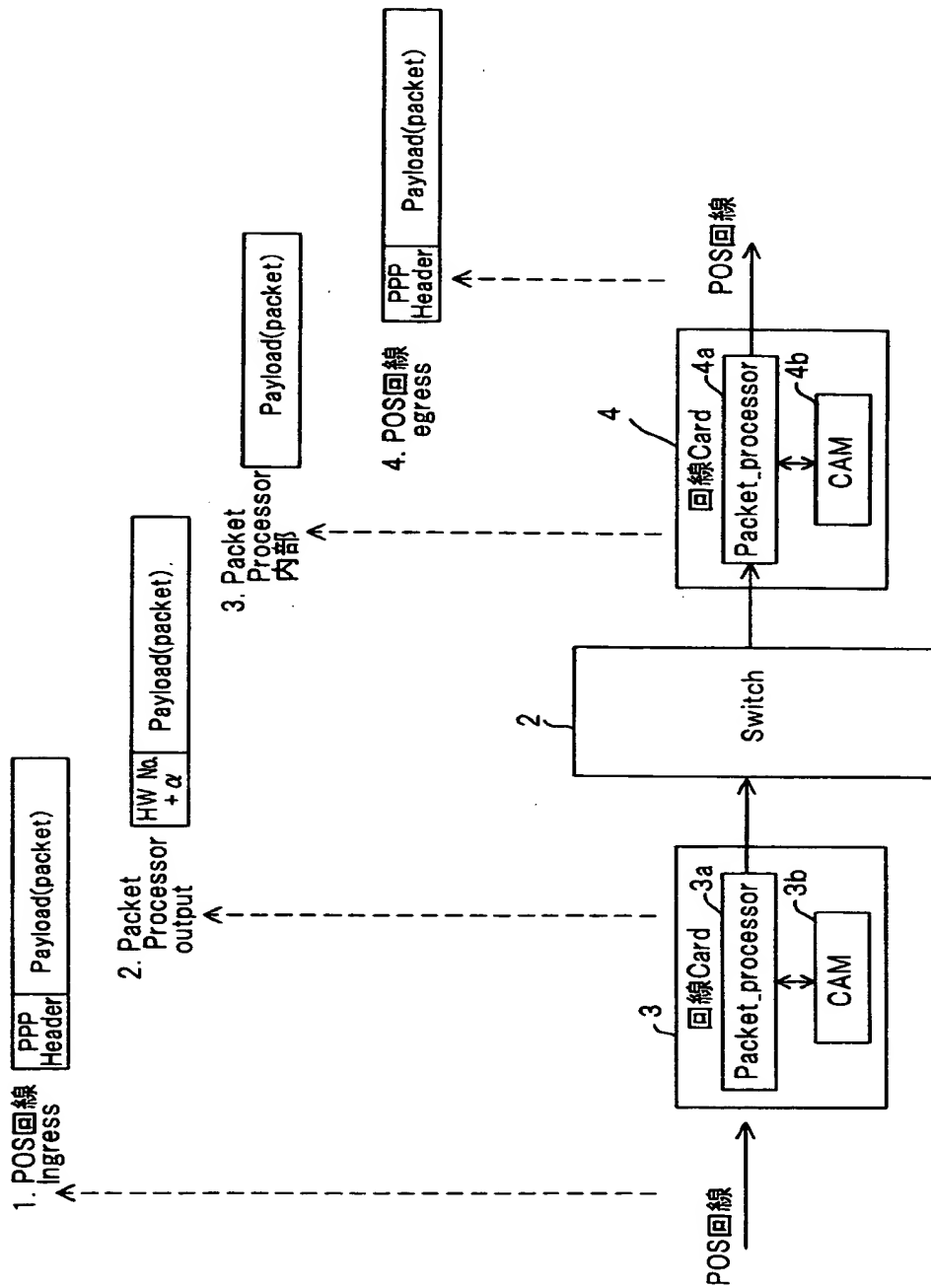
【図 1 8】

従来のRouter装置の詳細な構成図



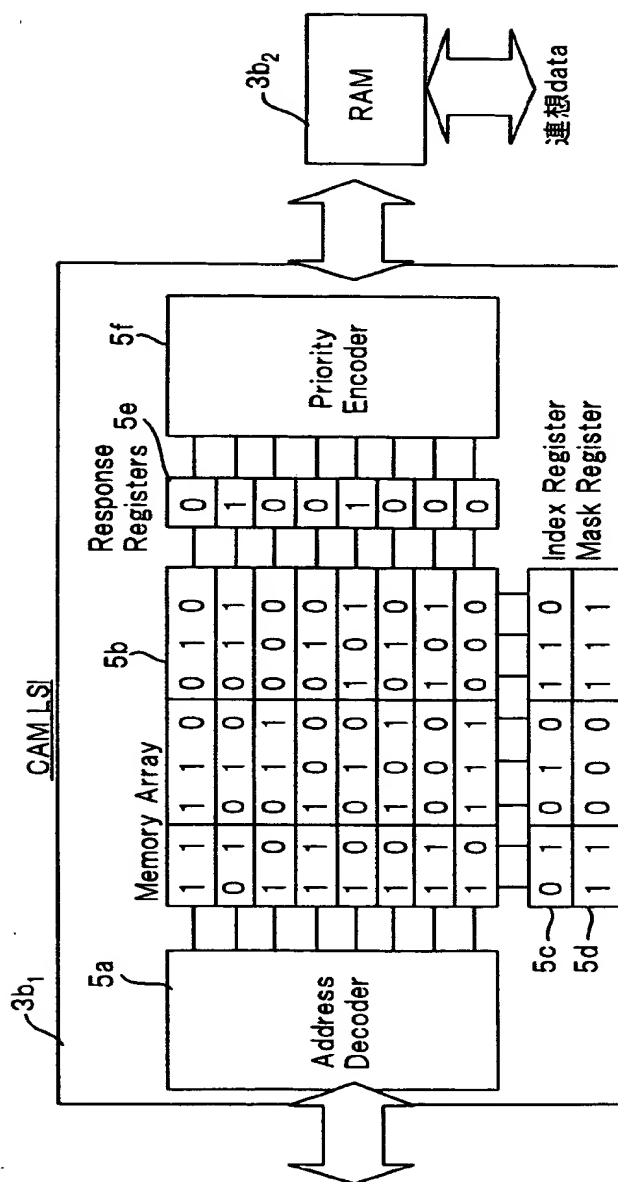
【図 1 9】

従来ルーター装置の Packet の流れ



【図 20】

CAM LSI の内部構造



【書類名】 要約書

【要約】

【課題】 CAMの個数を削減してルーチング装置のコストダウンと実装効率を高める。

【解決手段】 主制御部11は回線速度対応にCAM11e₁～11e_nを備え、回線カード13₁～13_nから回線識別子付きの検索キーデータを受信すると、回線速度に応じたCAMよりルーチングデータを発生して回線カードに送出する。回線カード13₁～13_nは主制御部11より通知されたルーチングデータをパケットに付加して出力し、スイッチ12は、所定の回線カードから入力するルーチングデータ付きパケットを該ルーチングデータに基づいてスイッチングして別の回線カードに送出する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-295841
受付番号	50001253146
書類名	特許願
担当官	宇留間 久雄 7277
作成日	平成12年10月 2日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社
【代理人】	申請人
【識別番号】	100084711
【住所又は居所】	千葉県千葉市花見川区幕張本郷1丁目14番10号 幸栄パレス202 齋藤特許事務所
【氏名又は名称】	斉藤 千幹

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社